



UNIVERSITÀ DEGLI STUDI DI MILANO

FACOLTÀ DI SCIENZE MATEMATICHE FISICHE E NATURALI
Corso di laurea in Informatica

ANALISI E PROGETTAZIONE DI UN CIRCUITO DI SENSING PER MEMORIE RAD-HARD

RELATORE:
Prof.
Valentino Liberali

Tesi di laurea di:
Genovese Angelo

CORRELATORE:
Dott.
Alberto Stabile

*"I concetti della fisica sono libere creazioni dello
spirito umano, e non sono, nonostante le apparenze,
determinati unicamente dal mondo esterno."*

Albert Einstein

*"La teoria è quando si sa tutto e niente funziona. La
pratica è quando tutto funziona e nessuno sa il
perché. In questo caso abbiamo messo insieme la
teoria e la pratica: non c'è niente che funziona...
e nessuno sa il perché!"*

Albert Einstein

Indice

Introduzione	VII
1 Radiazioni presenti nello spazio e memorie non volatili	1
1.1 Le radiazioni	1
1.1.1 Particelle nello spazio	1
1.1.2 Tipi di radiazioni	3
1.1.3 Effetti delle radiazioni sui circuiti integrati	4
Effetti sul transistor MOS	5
Conseguenze sui parametri dei transistori MOS	5
1.1.4 Effetti da evento singolo: <i>Single Event Effect (SEE)</i> . .	7
<i>Soft Errors</i>	8
<i>Hard Errors</i>	9
1.2 Architettura delle memorie non volatili	10
1.2.1 La cella di memoria EEPROM	10
1.2.2 Memorie di tipo NOR	12
1.2.3 Memorie di tipo NAND	14
1.2.4 Circuiti periferici	14
2 Elementi parassiti in tecnologia CMOS	17
2.1 Rete RC distribuita	21
2.2 Tempi di salita, discesa e ritardo	23
2.3 Dimensionamento e prestazioni	24
3 Il circuito di sensing	27

4	Le simulazioni circuitali	35
4.1	Come simulare?	36
4.2	Cosa bisogna leggere?	39
5	Simulazione del circuito di sensing	41
5.1	Ambiente di simulazione	41
5.2	I segnali	44
5.2.1	I risultati delle simulazioni	46
5.2.2	Analisi dei risultati	49
5.3	<i>Corner Analysis</i>	52
5.4	Riduzione del tempo di equalizzazione	54
5.5	Ridimensionamento dei transistori	59
5.6	Eliminazione di una sottosezione di equalizzazione	62
5.7	<i>Corner Analysis</i> del circuito modificato	63
6	Simulazione degli effetti delle radiazioni sul circuito di sense	65
6.1	Effetti delle radiazioni sui dispositivi MOS	65
6.1.1	Generazione di carica	66
6.1.2	SEE nelle memorie	67
	SEU	68
	Soluzioni per il SEU	70
	SEL	70
	Soluzioni per il SEL	70
6.1.3	<i>Single Event Snapback</i> (SES)	71
6.1.4	<i>Single Event Gate Rupture</i> (SEGR)	71
6.2	Test SEE	72
6.3	Ambiente di simulazione per le radiazioni	72
6.4	Simulazione degli effetti delle radiazioni	73
6.4.1	Modifiche per le radiazioni	80
6.4.2	Studio del circuito modificato	85
	Conclusioni e sviluppi futuri	91

INDICE	V
Elenco delle figure	95
Elenco delle tabelle	99
Bibliografia	101
Ringraziamenti	103

Introduzione

La progettazione e la realizzazione di componenti elettronici di largo consumo, come quelli che molti di noi possiedono, dal computer al lettore Mp3, è un settore dove ormai le innovazioni tecnologiche consistono nell'aumento della velocità di funzionamento e nella diminuzione del costo di fabbricazione. Affidabilità nel tempo e resistenza a condizioni ambientali ostili sono aspetti secondari per l'elettronica di largo consumo, che raggiunge l'obsolescenza dopo non più di 1 o 2 anni e la cui cura è a discrezione del compratore.

La realizzazione di una memoria non volatile, di cui il circuito oggetto di questa tesi fa parte, non è una novità nel campo dell'elettronica: le possiamo trovare in qualunque dispositivo, dal cellulare al lettore Mp3 già citato.

Ci sono settori dove, però, le condizioni ambientali sono ostili e la manutenzione è difficile, se non impossibile; di conseguenza, in questi casi, vengono richiesti componenti elettronici con elevata affidabilità anche a tempi molto lunghi: fra questi, uno dei più ostici è il settore aerospaziale, a cui è destinato il circuito oggetto di questa tesi. Infatti:

- fuori dall'atmosfera terrestre le radiazioni non sono filtrate e smorzate dagli strati atmosferici (tra cui l'ozono), molte radiazioni sono dannose e possono danneggiare i dispositivi elettronici;
- nello spazio, se qualcosa si guasta, non è pensabile effettuare operazioni di manutenzione come sulla terra, o perlomeno non con gli stessi costi; bisogna garantire il perfetto funzionamento per lunghi periodi di tempo;
- il costo per mettere in orbita un oggetto è elevato, e proporzionale alle

sue dimensioni e al suo peso: bisogna limitare il più possibile l'ingombro di componenti destinati a funzionare nello spazio;

- l'importanza dei dati contenuti in una memoria (come nel nostro caso) è vitale: se vengono perduti, o alterati in modo errato, si compromette il funzionamento di tutto ciò che dipende dalla memoria.

La progettazione di una memoria non volatile deve quindi tenere conto in primo luogo di tutti questi aspetti, e non essere finalizzata alla realizzazione di un prodotto il più veloce o capiente possibile.

Molte soluzioni possono essere adottate per migliorare l'affidabilità di un sistema elettronico. Fra queste:

- la prima soluzione adottata per rendere immune l'elettronica alle radiazioni presente nello spazio è stata quella di contenere i circuiti in una gabbia di metallo, che li schermasse dai fattori ambientali esterni. I problemi di questo approccio risiedono nel fatto che la schermatura non è totale, in quanto le particelle molto energetiche possono comunque attraversarla; inoltre, grossi involucri di metallo fanno aumentare peso e ingombro in modo inaccettabile;
- si usano materiali e tecniche di fabbricazione diversi e più resistenti ai fenomeni spaziali. Hanno lo svantaggio, però, di essere costosi, poco diffusi e quindi poco conosciuti;
- si progetta con tecniche convenzionali, ma con un layout e un circuito studiato in modo da essere poco soggetto alle radiazioni;
- si usano tecniche di correzione degli errori per correggere i malfunzionamenti temporanei di parti del circuito. La memoria di cui fa parte il circuito di sensing, per esempio, usa 12 bit per immagazzinare un byte da 8 bit: i restanti 4 servono per correggere gli eventuali errori.

La memoria non volatile di cui ci occupiamo combina alcune di queste tecniche, come il disegno di transistori dalle forme atipiche, e la codifica

ridondante del byte, per rendere la memoria quanto più affidabile ed esente da errori.

Infine il circuito progettato viene simulato, tenendo conto anche delle possibili variazioni dei parametri e dei disturbi causati dalle radiazioni, cercando di modellizzare nel modo più vicino possibile alla realtà l'ambiente spaziale.

Questa tesi descrive il progetto di un circuito di sensing in grado di funzionare in condizioni ambientali sfavorevoli e sotto l'effetto di radiazioni. Il circuito di sensing è uno dei componenti fondamentali della memoria e permette di leggere il valore del bit immagazzinato confrontandolo con un valore di riferimento, trasmettendo il bit all'uscita entro il tempo richiesto dalle specifiche. Scopo e funzionamento del circuito saranno descritti nel Capitolo 3. Il Capitolo 1 è una veloce introduzione riguardante le radiazioni presenti nello spazio e l'architettura di una memoria non volatile. Successivamente verranno descritti gli elementi parassiti della tecnologia CMOS (Capitolo 2). Nel Capitolo 4 sarà introdotta la metodologia per le simulazioni circuitali, per poi applicarla nel Capitolo 5 al circuito di sensing.

Gli effetti delle radiazioni sul circuito di sensing saranno trattati nel Capitolo 6: dopo un'introduzione dei loro effetti su tutti circuiti integrati, viene descritto e usato un modello per simulare il circuito in presenza di particelle presenti nello spazio. L'ultimo Capitolo contiene il riassunto del lavoro svolto e i possibili sviluppi futuri di questi risultati.

Capitolo 1

Radiazioni presenti nello spazio e memorie non volatili

Nella prima parte di questo capitolo introduttivo parleremo delle particelle presenti nello spazio e delle radiazioni che causano, dei loro effetti sui circuiti integrati e delle conseguenze sui transistori MOS. Infine classificheremo gli errori e i malfunzionamenti causati dalle radiazioni; saranno accennati in generale e descritti più in dettaglio nel Capitolo 6, dove ci occuperemo di simularli sul circuito di sensing.

Nella seconda parte, invece, presenteremo velocemente l'architettura delle memorie non volatili, le tecnologie NOR e NAND e i vari circuiti periferici che le compongono.

1.1 Le radiazioni

1.1.1 Particelle nello spazio

Le radiazioni presenti nello spazio sono causate da certi tipi di particelle elementari, come protoni, elettroni oppure neutroni; esse si dividono in due grandi categorie: le particelle cariche e la particelle neutre. Vediamole in dettaglio:

- le particelle cariche hanno la caratteristica fondamentale di reagire elettricamente tra di loro secondo la legge di Coulomb. Le principali sono i protoni, gli elettroni e gli ioni:
 1. i protoni sono le particelle cariche più diffuse fuori dall'atmosfera della Terra, il loro comportamento dipende dall'energia posseduta: se è minore di 100 keV ionizzano la materia e possono provocare eccitazione o spostamento degli atomi, se è maggiore di 10 MeV provocano una reazione nucleare;
 2. gli elettroni, anch'essi presenti in grande quantità, possono interagire secondo la legge di Coulomb oppure attraverso il fenomeno di *scattering*, che si verifica durante la reazione nucleare quando la particella emessa dal nucleo è uguale a quella emessa dalla reazione. Inoltre, quando gli elettroni penetrano nella materia perdono energia emettendo raggi X;
 3. gli ioni sono atomi con un numero di protoni diverso da quello degli elettroni; in particolare gli ioni pesanti (cioè più pesanti del carbonio) hanno un comportamento simile a quello dei protoni.
- le particelle neutre non hanno carica elettrica e perciò non interagiscono secondo la legge di Coulomb, le più diffuse sono i neutroni e i fotoni:
 1. i neutroni causano principalmente reazioni nucleari: quando un neutrone colpisce un nucleo, viene assorbito e quest'ultimo emette particelle tra cui protoni, particelle α o raggi γ , oppure subisce una fissione. A seconda dell'energia del neutrone si verificano diversi tipi di reazione nucleare;
 2. i fotoni, quanti¹ di energia elettromagnetica, a seconda di come interagiscono con la materia possono provocare lo spostamento di un elettrone dall'orbitale e la generazione di un nuovo fotone (ef-

¹Un quanto è una quantità discreta e indivisibile di una certa grandezza.

fetto fotoelettrico), l'emissione di un elettrone (effetto Compton) oppure la creazione di una coppia elettrone-positrone.

1.1.2 Tipi di radiazioni

Per radiazione si intende generalmente un fenomeno causato dal trasporto di energia nello spazio, che a seconda di cosa lo produce può essere di tre tipi: le radiazioni nella fascia di Van Allen, i raggi cosmici e i brillamenti solari. Vediamoli brevemente:

- la fascia di Van Allen (Figura 1.1) è una insieme di particelle cariche trattenute dal campo magnetico terrestre che si può dividere in due zone: una interna e una esterna. La zona interna arriva fino a 10 000 km dalla Terra ed è composta principalmente di protoni. La zona esterna, in cui orbitano la maggior parte dei satelliti, si estende invece fino a 65 000 km ed è formata principalmente da elettroni;

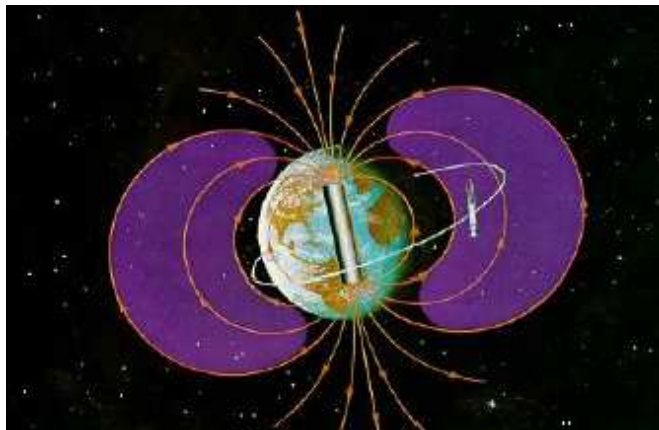


Figura 1.1: La fascia di Van Allen

- i raggi cosmici, o radiazione cosmica, sono causati dall'attività delle galassie dell'universo, e per questo sono molto uniformi e costanti, anche se difficili da studiare perché causati da particelle differenti. In

prossimità della Terra reagiscono con l'atmosfera, creando particelle che possono raggiungere la superficie terrestre;

- i brillamenti solari (*flare*) sono violente eruzioni di materia dalla fotosfera del sole (Figura 1.2). Le espulsioni di materia sono composte principalmente di protoni, la cui elevata energia può danneggiare i circuiti elettronici. I componenti più sensibili vengono infatti spenti durante i brillamenti solari.

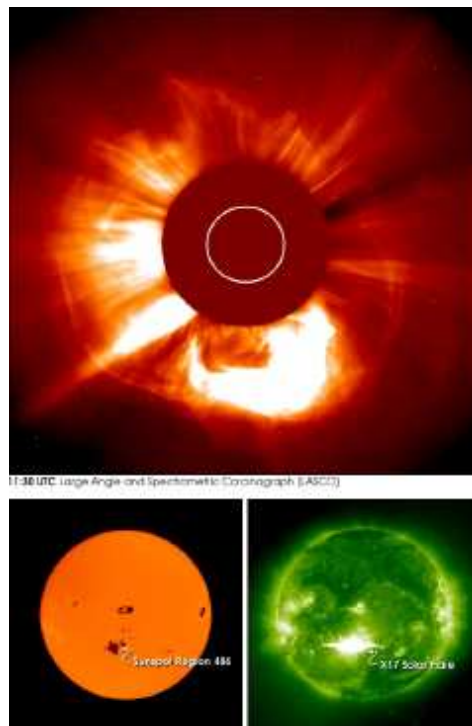


Figura 1.2: I brillamenti solari

1.1.3 Effetti delle radiazioni sui circuiti integrati

Vediamo ora gli effetti che le radiazioni causano nei circuiti integrati, cominciando dalle conseguenze sul transistor MOS.

Effetti sul transistor MOS

- **Intrappolamento delle lacune nell'ossido:** quando particella colpisce un transistor MOS, si crea una coppia elettrone-lacuna: nell'elettrodo di gate e nelle zone di silicio drogato questa coppia si ricombina velocemente, essendo questi materiali poco resistivi; nel biossido di silicio (che è un isolante), invece, è possibile che le lacune, a causa della loro bassissima mobilità, rimangano intrappolate, modificando il funzionamento del transistor stesso;
- **Intrappolamento delle lacune tra ossido e silicio:** un altro effetto dovuto alle radiazioni è l'incremento della densità di lacune all'interfaccia tra ossido e silicio; senza addentrarci nei dettagli fisici di tale fenomeno, diremo solo che questo provoca l'aumento in valore assoluto della tensione di soglia; in pratica un transistor nMOS avrà una tensione di soglia maggiore, e un pMOS, invece, la avrà minore.

Conseguenze sui parametri dei transistori MOS

Questi effetti influiscono sui parametri dei transistori MOS, modificandone tensione di soglia, correnti parassite e transconduttanza.

- **Aumento della tensione di soglia:** l'intrappolamento delle lacune nell'ossido e nell'interfaccia tra ossido e silicio provoca due aumenti della tensione di soglia; rispettivamente ΔV_{ox} e ΔV_{it} . Il primo contributo è descritto dalla formula:

$$\Delta V_{ox} = -\frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx \quad (1.1)$$

dove t_{ox} è lo spessore dell'ossido di gate, C_{ox} è la capacità per unità di area e $\rho(x)$ è la densità di carica nell'ossido in funzione della distanza x dall'interfaccia. Il cambiamento di soglia è negativo quando le cariche sono positive: ad esempio, per un transistor a canale p, le lacune intrappolate nell'ossido sopra il canale respingono le lacune

che dovrebbero formare il canale. Questo vuol dire che per avere la stessa quantità di carica nel canale bisogna applicare una tensione più negativa al gate e quindi la soglia diventa più negativa. [Stabile, 2006]

Poiché la distribuzione di carica nell'interfaccia può essere considerata bidimensionale, il secondo contributo alla variazione di soglia si può semplicemente esprimere come:

$$\Delta V_{it} = -\frac{Q_{it}}{C_{ox}} \quad (1.2)$$

dove Q_{it} è la differenza di carica (per unità di area) che riempie gli stati d'interfaccia prima e dopo l'irraggiamento.

- **Incremento delle correnti parassite:** definiamo la corrente stato-spento come la corrente che fluisce nel transistor quando $V_{GS} = 0$. Questa corrente può aumentare dopo l'irraggiamento a causa di due effetti che possono verificarsi: l'incremento della corrente di sotto-soglia e la generazione di corrente parassita.
 1. L'incremento della corrente di sotto-soglia è determinato da due fattori, illustrati in Figura 1.3. Il primo fattore è la diminuzione della tensione di soglia in un transistor MOS a canale n a causa delle lacune intrappolate nell'ossido. La caratteristica del transistor MOS prima dell'irraggiamento è indicata dalla linea continua. Dopo l'irraggiamento la caratteristica è spostata verso sinistra (linea tratteggiata a). In secondo luogo le radiazioni fanno diminuire la pendenza della curva (linea continua b). La corrente di sotto-soglia passa da I_1 a I_2 per la diminuzione della tensione di soglia e a I_3 poiché diminuisce la pendenza.
 2. La generazione di correnti parassite è dovuta all'intrappolamento di lacune nella zona di ossido chiamata becco d'uccello [Gaillard, 1995] (Figura 1.4). In questa zona, essendo lo strato di ossido più spesso, è più probabile che rimangano intrappolate le lacune, creando

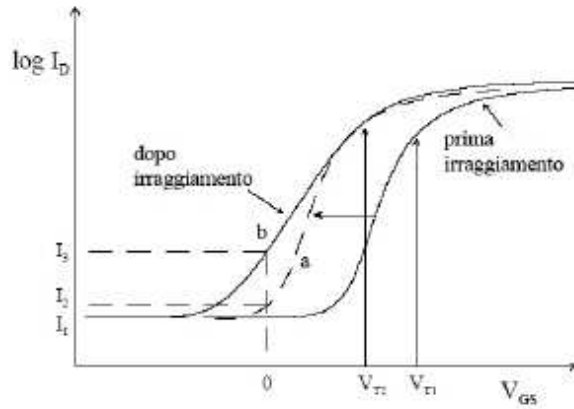


Figura 1.3: Incremento della corrente di sotto-soglia in un transistor nMOS

transistori parassiti, come si vede in figura, con parametri simili a quelli del transistor principale.

- **Diminuzione della mobilità e della transconduttanza:** Dopo l'irraggiamento si verifica una diminuzione della mobilità, dovuta principalmente all'incremento di trappole nell'interfaccia ed esprimibile come:
(1.3) [Sexton, 1985]

$$\mu = \frac{\mu_0}{1 + \alpha(\Delta N_{it})} \quad (1.3)$$

dove μ_0 è la mobilità prima dell'irraggiamento, N_{it} è l'incremento della densità di trappole nell'interfaccia e α è un parametro che dipende dalla tecnologia. Il degrado della mobilità da origine al degrado della transconduttanza, che è proporzionale alla mobilità. Questo fa diminuire la corrente erogata.

1.1.4 Effetti da evento singolo: *Single Event Effect (SEE)*

In questa sezione presentiamo velocemente gli eventi da effetto singolo, i più importanti saranno ripresi poi nel Capitolo 6 nell'ambito delle radiazioni nel circuito di sensing.

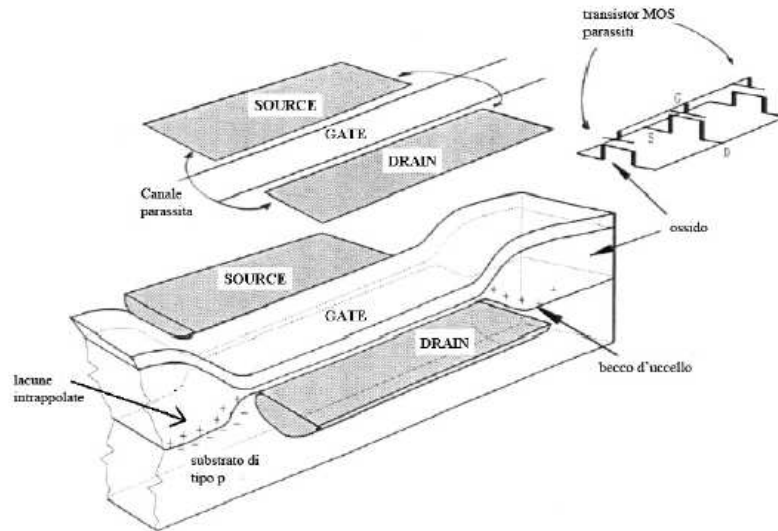


Figura 1.4: Zona a becco d'uccello e transistori parassiti [Gaillard, 1995]

Gli eventi da effetto singolo sono causati da particelle con alta energia che colpiscono i circuiti integrati e causano un malfunzionamento di uno o più transistori, modificando il funzionamento del circuito. Si possono dividere in due categorie a seconda che gli effetti siano reversibili oppure irreversibili: nel primo caso parliamo di *soft errors*, nel secondo di *hard errors*. [Beaucour, 1995]

Soft Errors

- ***Single Event Upset (SEU)***: è un errore temporaneo non distruttivo che comporta la commutazione errata di un bit oppure un cambiamento del valore logico di una cella di memoria. Nel caso di celle di memoria RAM formate da due inverter in cascata, i nodi sensibili sono i drain dei transistori (vedi Capitolo 6) [Holbert, 2006][Anelli, 2000];
- ***Multiple Bit Upset (MBU)***: è simile al SEU, con la sola differenza

che coinvolge più celle provocando cambiamenti di più bit contemporaneamente [Holbert, 2006][Anelli, 2000];

- ***Single Event Functional Interrupt (SEFI)***: nel caso di memorie complesse con circuiti periferici usati, ad esempio, per la correzione degli errori, un errore su uno di questi circuiti può provocare un malfunzionamento di tutto il circuito [Holbert, 2006][Anelli, 2000].

Hard Errors

- ***Single Event Latch-up (SEL)***: In un transistor MOS, esistono transistori bipolari parassiti dovuti alle giunzioni p-n e n-p. Normalmente sono polarizzati inversamente, ma in presenza di un forte impulso esterno si possono accendere. poiché formano un anello di retroazione, l'aumento di corrente può essere distruttivo (vedi paragrafo 6.1.2) [Johnston, 1996];
- ***Single Event Snapback (SES)***: è simile al SEL in quanto funziona tramite retroazione e sfrutta la presenza di transistori bipolari parassiti (vedi paragrafo 6.1.3) [Beitman, 1988];
- ***Single Hard Error (SHE)***: quando una particella con alta energia attraversa l'ossido sotto il gate, può provocare lo spostamento della tensione di soglia e l'aumento di correnti di sotto-soglia che possono aumentare fino ad alterare le informazioni memorizzate [Dufour, 1992];
- ***Single Event Gate Rupture (SEGR)***: consiste nella perforazione dell'ossido sotto il gate. Questo fenomeno avviene in presenza di campi elettrici elevati (vedi paragrafo 6.1.4) [Allenspach, 1994][Wheatley, 1994].

1.2 Architettura delle memorie non volatili

In questa sezione descriveremo il funzionamento della cella di memoria elementare EEPROM, le architetture NAND e NOR per la costruzione degli array di celle, infine i circuiti periferici tra cui, appunto, il circuito di sensing.

1.2.1 La cella di memoria EEPROM

EEPROM è l'acronimo di *Electrically Erasable and Programmable Read Only Memory*, cioè una memoria ROM programmabile (e riprogrammabile) da parte dell'utente. A differenza della EPROM, permette la cancellazione elettricamente.

La cella di memoria elementare è simile a un transistor, con la differenza che ha due gate: il primo gate, il più esterno, è il *Control Gate* ed è collegato al resto della memoria come un gate tradizionale. Il gate più interno è il *Floating Gate* ed è separato dal silicio da uno strato molto sottile di ossido (Figura 1.5).

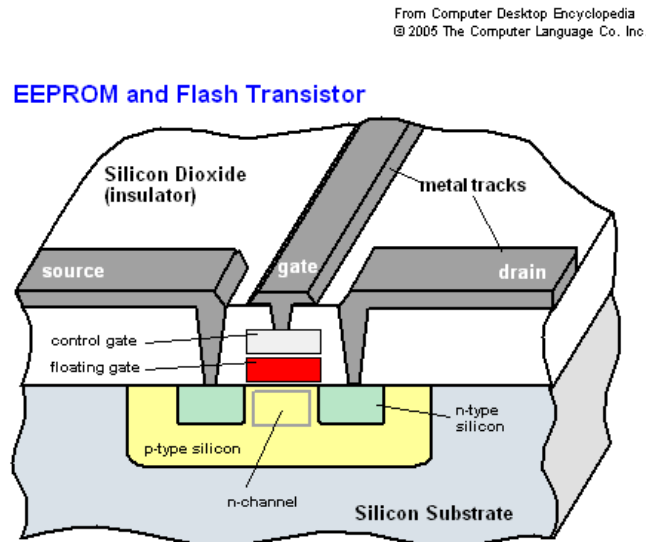


Figura 1.5: Transistore EEPROM

Ci sono due modi per programmare una EEPROM: l'iniezione di elettroni caldi (*hot electron injection*) oppure tramite il tunnel di Fowler-Nordheim.

Il primo metodo consiste nell'applicare all'elettrodo di gate una tensione di alimentazione V_{DD} per creare il canale, e al drain una tensione molto elevata (da 12 a 30 V) per accelerare gli elettroni dal source al drain. Il source, invece, è collegato a terra. Una parte di questi elettroni, a causa del campo elettrico creato dalla tensione sul gate, attraverserà l'ossido sotto al floating gate rimanendovi intrappolata (Figura 1.6).

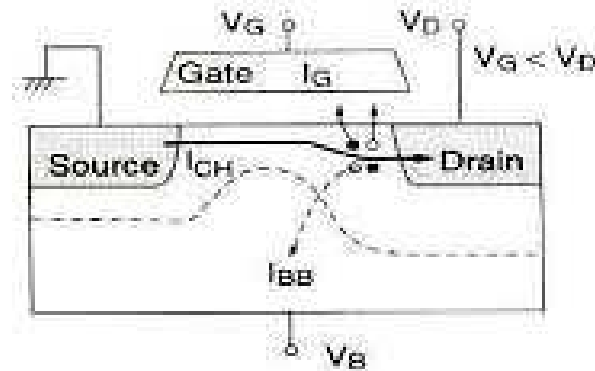


Figura 1.6: Iniezione di elettroni caldi. La tensione di gate V_G è inferiore alla tensione di drain V_D .

Il tunnel di Fowler-Nordheim, invece, prevede che una parte del floating gate ricopra il drain della cella, dal quale deve essere separato da un sottilissimo strato di ossido: in questo modo applicando una tensione di programmazione all'elettrodo di gate parte degli elettroni presenti nel drain migrerà verso il floating gate. Sia il source che il drain sono collegati a terra (Figura 1.7).

Il vantaggio del secondo approccio è quello di evitare il passaggio di elettroni molto energetici, che alla lunga potrebbero danneggiare la cella stessa.

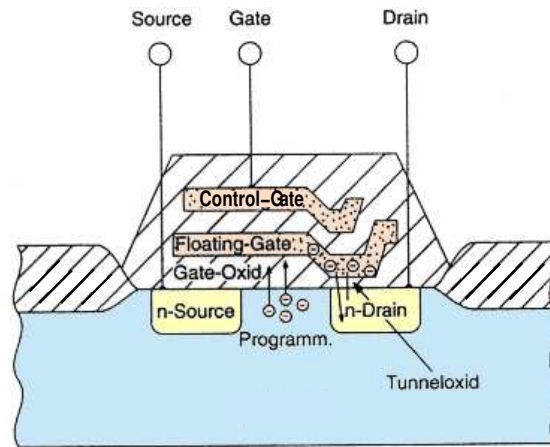


Figura 1.7: Cella programmabile con il tunnel di Fowler-Nordheim

Entrambi i modi di programmare la cella sfruttano il fatto che gli elettroni che rimangono nel floating gate aumentano la tensione di soglia in quanto ostacolano la formazione del canale, che necessita a questo punto di una tensione superiore per formarsi. Applicando al gate e al source le tensioni di lettura il transistor non si accende: la cella è programmata.

1.2.2 Memorie di tipo NOR

Un array di celle di una memoria è organizzato in righe e colonne: le righe prendono il nome di *word-line*, le colonne vengono chiamate invece *bit-line*; questo perché la selezione di una cella avviene prima scegliendo la *word-line*, e successivamente la *bit-line*. Quindi da una sola word-line sono selezionabili più bit, che formano una parola (*word*).

In una memoria di tipo NOR, tutti i drain dei transistori sono connessi alla *bit-line*, la quale quindi può avere un carico capacitivo anche di alcuni picofarad (vedi Capitolo 2). I gate, invece, sono connessi alla *word-line*, che ha un contributo resistivo significativo nel caso di memorie con molte colonne. I source sono connessi a terra se si usa una EPROM (Figura 1.8), oppure a un nodo comune se si tratta di una EEPROM (Figura 1.9).

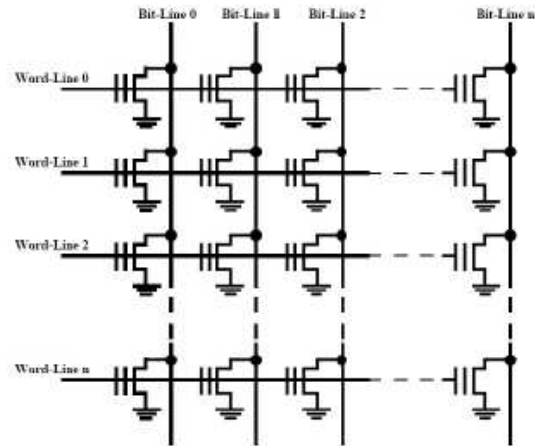


Figura 1.8: Array NOR di celle di una memoria EPROM [Calligaro, 1996]

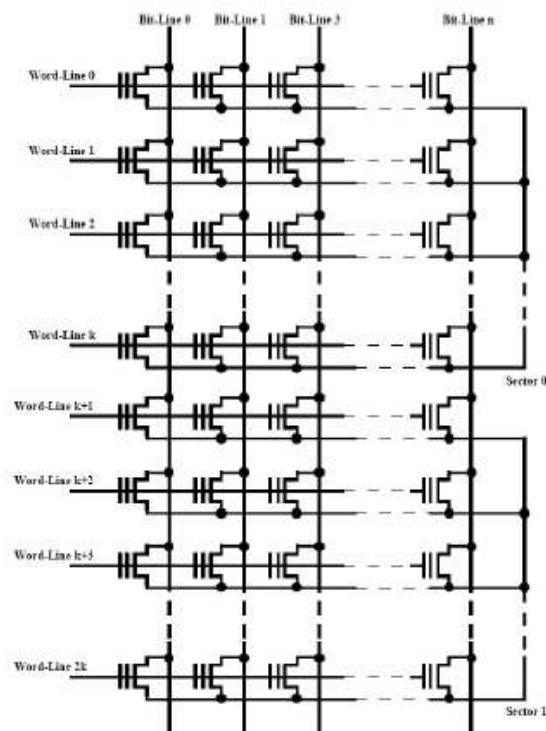


Figura 1.9: Array NOR di celle di una memoria EEPROM [Calligaro, 1996]

1.2.3 Memorie di tipo NAND

In una memoria di tipo NAND le celle sono organizzate in gruppi a cui si può accedere con un transistor di selezione. I gruppi contengono un numero di celle pari una potenza di due, come si vede in Figura 1.10. Il vantaggio

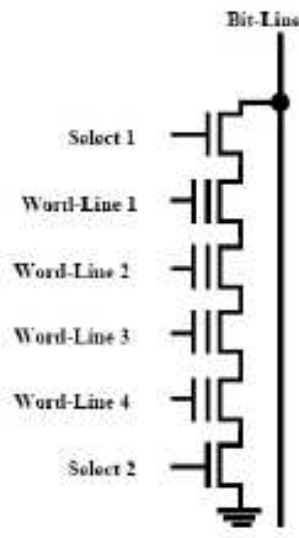


Figura 1.10: Array NAND di celle di una memoria [Calligaro, 1996]

di usare un'organizzazione della memoria di tipo NAND è il risparmio di spazio: la complessità del circuito di decodifica però è maggiore, perché oltre a selezionare la *word-line* bisogna selezionare anche il gruppo di celle a cui si vuole accedere.

1.2.4 Circuiti periferici

Oltre all'array di celle (o agli array se ve n'è più di uno) nella memoria sono presenti altri circuiti, chiamati periferici perché sono dislocati intorno alla matrice, che occupa la maggior parte dello spazio. In Figura 1.11 vediamo uno schema sintetico di tutti i componenti. La matrice di celle è divisa in due parti, e il circuito che effettua la decodifica di riga (che si occupa di scegliere

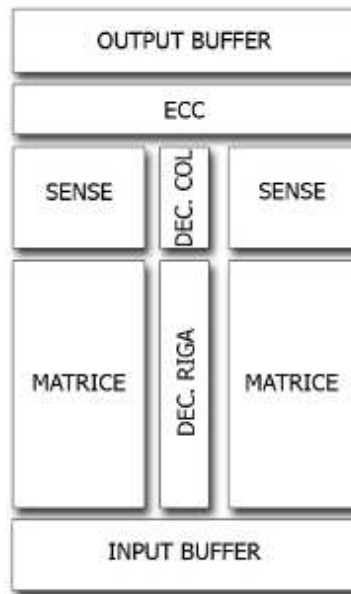


Figura 1.11: Memoria e circuiti periferici [Stabile, 2006]

la *word-line*) è posizionato nel mezzo per ridurre e uniformare i tempi di ritardo per selezionare la cella più lontana. In modo analogo è collocata la decodifica di colonna, che ha il compito di selezionare la *bit-line*.

Il blocco di sense restituisce la differenza di corrente tra la cella selezionata e la cella di riferimento. Il confronto è necessario per verificare localmente se la cella è accesa o spenta. Dal momento che è l'argomento di questa tesi, lo vedremo in dettaglio nel Capitolo 3.

La sezione ECC (*Error Correcting Code*) contiene il circuito di decodifica con correzione degli errori per rilevare eventuali commutazioni errate dei valori logici in uscita da una cella, come può succedere a causa delle radiazioni.

Infine, l'input buffer riceve i segnali in ingresso alla memoria, mentre l'output buffer serve per pilotare la circuiteria esterna al chip, ed è formato da una cascata di inverter di dimensioni crescenti.

Per evitare un'eccessiva complessità nel progetto, le tensioni elevate nec-

essarie per la programmazione e la cancellazione della memoria verranno fornite dall'esterno, per questo motivo la circuiteria necessaria non è indicata nel disegno.

Capitolo 2

Elementi parassiti in tecnologia CMOS

Prima di iniziare la trattazione delle simulazioni circuitali, introduciamo i concetti relativi agli elementi parassiti nei circuiti elettrici, poiché proprio la non-idealità dei componenti è uno degli aspetti più importanti che causano il bisogno della simulazione stessa. Le nozioni di capacità parassita, tempi di ritardo e parametri di conduttanza saranno poi elementi chiave in tutto il resto dell'elaborato, di fatto condizionando in tutto e per tutto le prestazioni dei circuiti.

Vediamo in dettaglio i principali elementi parassiti di cui tenere conto, i parametri fisici che li modellano e come agire per ridurne gli effetti, sempre considerando che non è possibile eliminarli del tutto:

1. **Resistenza delle interconnessioni:** una linea di metal (Figura 2.1) ha una sua resistenza, dovuta alle dimensioni e al materiale di cui è composta, esprimibile mediante la formula:

$$R = \frac{l}{\sigma w t} \quad (2.1)$$

dove l è la lunghezza, w la larghezza, t lo spessore della linea e σ la conducibilità del materiale. Come si vede dalla formula, la resistenza

aumenta all'aumentare della lunghezza e al diminuire dell'area della sezione.

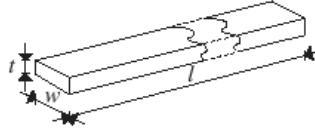


Figura 2.1: Resistenza di una linea di interconnessione

2. **Capacità delle interconnessioni:** un conduttore posto sopra un piano di massa funziona come una capacità (Figura 2.2), calcolabile mediante la formula:

$$R = \epsilon_0 \epsilon_r \frac{lw}{d} \quad (2.2)$$

Dove l è la lunghezza, $\epsilon_0 = 8.8542 \cdot 10^{-12} F/m$ e ϵ_r la permittività elettrica relativa dell'isolante. È facile considerare che bisogna ridurre lunghezza e larghezza, oppure aumentare la distanza, per ridurre questo effetto.

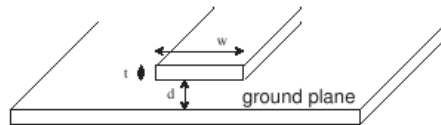


Figura 2.2: Capacità di un'interconnessione su un piano di massa

Nel caso di più linee parallele di interconnessione, si hanno sia capacità parassite verso il substrato, sia capacità parassite tra i conduttori, come si vede in Figura 2.3.

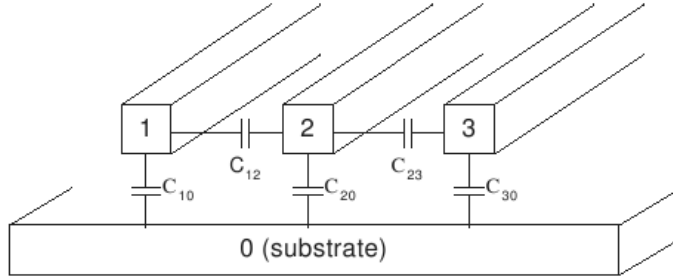


Figura 2.3: Capacità tra più interconnessioni

3. **Resistenza dei transistori:** un transistorore acceso offre una resistenza al passaggio della corrente, che dipende dalle caratteristiche fisiche dei suoi materiali e dai parametri di fabbricazione, tra cui anche le dimensioni. Da quanto detto un MOS può essere schematizzato come un interruttore in serie a una resistenza (Figura. 2.4);

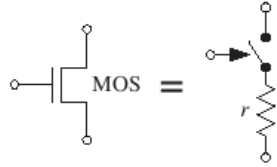


Figura 2.4: Resistenza equivalente del transistorore MOS

La conduttanza equivalente in triodo si ottiene calcolando la derivata parziale della corrente di drain i_D rispetto alla tensione drain-source v_{DS} dall'equazione della corrente del MOS in triodo:

$$g = \left. \frac{\partial i_D}{\partial v_{DS}} \right|_{v_{DS}=0} = \beta(v_{GS} - V_{th}) \quad (2.3)$$

da cui si ricava la resistenza:

$$r = \frac{1}{g} = \frac{1}{\beta(v_{GS} - V_{th})} \quad (2.4)$$

con

$$\beta = \frac{\mu \epsilon_{ox}}{t_{ox}} \frac{W}{L} \quad (2.5)$$

4. **Capacità di gate:** Il gate di un transistor è a tutti gli effetti una capacità, calcolabile come:

$$C = \epsilon_0 \epsilon_{SiO_2} \frac{WL}{t_{ox}} \quad (2.6)$$

dove W è la larghezza ed L è la lunghezza del gate, $\epsilon_0 = 8.8542 \cdot 10^{-12}$ F/m e $\epsilon_{SiO_2} = 3.9$ è la permittività elettrica relativa dell'ossido di silicio.

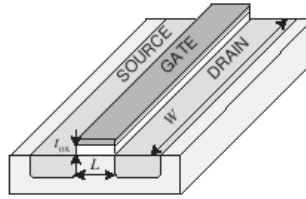


Figura 2.5: Capacità di gate

5. **Capacità di drain:** in modo simile bisogna considerare anche il drain nel calcolo delle capacità, e questo è molto importante quando vi sono molti drain collegati a una sola interconnessione.

La capacità di drain è data dalla formula:

$$C = C_j W L_D \quad (2.7)$$

dove C_j è la capacità per unità di area della giunzione polarizzata inversamente e L_D è la lunghezza del drain. Inoltre, per tenere conto degli effetti di bordo, si aggiunge un termine proporzionale al perimetro della regione di drain.

6. **Induttanza delle interconnessioni:** l'induttanza parassita di un conduttore sopra un piano è esprimibile come:

$$L = l\mu_0\mu_r \frac{d}{w} \quad (2.8)$$

Dalla Formula 2.8 si può notare come l'induttanza aumenti con l'aumentare di d e al diminuire di w .

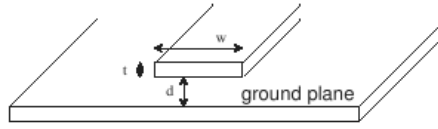


Figura 2.6: Induttanza parassita

2.1 Rete RC distribuita

Una linea di interconnessione è contemporaneamente resistiva, capacitiva e induttiva allo stesso tempo. Trascurando l'induttanza parassita, la linea può essere modellizzata come una serie di elementi resistivi e capacitivi tutti uguali, di lunghezza dx , dove r e c sono resistenza e capacità per unità di lunghezza, come illustrato nella Figura 2.7.

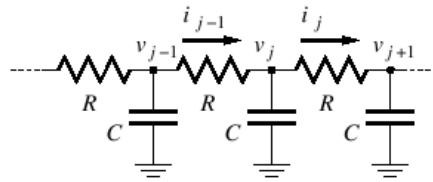


Figura 2.7: Rete RC distribuita

$R = rdx$ è la resistenza; $C = cdx$ è la capacità del singolo elemento di linea.

Nel j -esimo nodo la tensione è v_j e le correnti sono:

$$i_{j-1} = \frac{v_{j-1} - v_j}{rdx}; i_j = \frac{v_j - v_{j+1}}{rdx}; i_{c_j} = c \cdot dx \frac{dv_j}{dt}$$

Dalla legge di Kirchoff per le correnti, si ricava :

$$c \cdot dx \frac{dv_j}{dt} = \frac{v_{j-1} - v_j}{rdx} - \frac{v_j - v_{j+1}}{rdx}$$

Moltiplicando per r si ottiene:

$$rc \cdot dx \frac{dv_j}{dt} = \frac{v_{j-1} - v_j}{dx} - \frac{v_j - v_{j+1}}{dx}$$

Per $dx \rightarrow 0$, i due termini a destra sono la derivata della tensione v rispetto ad x , calcolata nei nodi $j - 1$ e j rispettivamente:

$$\frac{v_{j-1} - v_j}{dx} = \left. \frac{dv}{dx} \right|_{j-1} \text{ e } \frac{v_j - v_{j+1}}{dx} = \left. \frac{dv}{dx} \right|_j$$

Sostituendo, abbiamo l'equazione:

$$rc \frac{dv_j}{dt} = \frac{\left. \frac{dv}{dx} \right|_{j-1} - \left. \frac{dv}{dx} \right|_j}{dx}$$

in cui il termine a destra è la derivata seconda della tensione v rispetto a x :

$$rc \frac{dv}{dt} = \frac{d^2v}{dx^2}$$

con $v = v(t, x)$, cioè la tensione è funzione del tempo t e della distanza x . Questa è l'equazione del calore o di Fourier; per risolverla occorre conoscere la condizione iniziale $v(0, x)$ per $\forall x$, e l'andamento nel tempo del segnale applicato all'estremità della linea $v(t, 0)$.

Se la condizione iniziale è $v(0, x) = 0 \forall x$, e il segnale in $x = 0$ è un gradino con ampiezza da 0 a V_A applicato all'istante $t = 0$, allora la soluzione è:

$$v(t, x) = V_A \operatorname{erf} \left(\frac{x\sqrt{rc}}{2\sqrt{t}} \right)$$

Dove con erf si intende la funzione degli errori, definita come:

$$\text{erf}(z) = \frac{2}{\sqrt{\pi}} \int_0^z e^{-u^2} du$$

Il ritardo della rete è dato dall'istante t_d per cui la tensione raggiunge il valore $v = \frac{1}{2}V_A$; esprimendo t_d in funzione della distanza x lungo la linea di interconnessione otteniamo:

$$t_d \approx 0.7 \frac{rc}{2} x^2 \quad (2.9)$$

Come si vede dalla formula 2.9, il ritardo lungo una linea a parametri distribuiti aumenta in maniera proporzionale al quadrato della lunghezza della linea stessa.

2.2 Tempi di salita, discesa e ritardo

A causa degli elementi parassiti appena visti, le transizioni dei segnali all'uscita delle porte logiche e degli altri elementi circuitali non sono mai istantanee, ma soggette a tempi di ritardo;

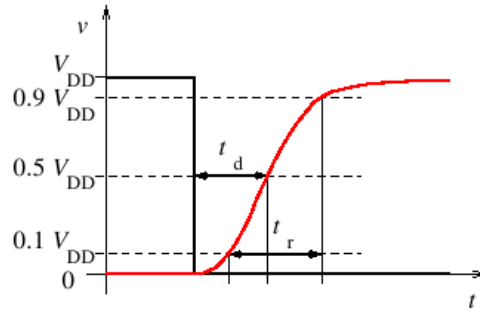


Figura 2.8: Tempi di ritardo in uscita da un inverter

La Figura 2.8 rappresenta i segnali di ingresso e di uscita di un inverter; si vede come il segnale di ingresso all'inverter (lo scalino da V_{DD} a 0) produca in uscita un segnale non a scalino, ma che richiede un certo ritardo t_d , definito

come il tempo che intercorre tra l'attraversamento a $0.5 V_{DD}$ dell'ingresso e quello a $0.5 V_{DD}$ dell'uscita.

Definiamo inoltre i tempi di salita e di discesa: per tempo di salita (*rise time*) si intende il tempo in cui l'uscita passa da $0.1 V_{DD}$ a $0.9 V_{DD}$ (cioè dal 10% al 90% del valore finale). Il tempo di discesa (*fall time*) è definito analogamente come il tempo in cui l'uscita passa dal 90% al 10%. Nella logica CMOS questi tempi sono pari a:

$$t_r = k \frac{C_{load}}{\beta_{pull-up}(V_{DD} - V_{SS} + V_{th,p})}$$

$$t_f = k \frac{C_{load}}{\beta_{pull-down}(V_{DD} - V_{SS} + V_{th,n})}$$

dove $k \approx 3$ e $\beta_{pull-up}$ e $\beta_{pull-down}$ dipendono dalle dimensioni del singolo transistor e dal numero di elementi in serie o in parallelo (p.e. due transistori in serie hanno conduttanza dimezzata, in parallelo l'hanno doppia).

Definiamo quindi il tempo di ritardo in salita (t_{dr}), in discesa (t_{df}) e quello medio ($t_{d,ave}$):

$$t_{dr} \approx \frac{t_r}{2}; t_{df} \approx \frac{t_f}{2}; t_{d,ave} = \frac{t_{dr} + t_{df}}{2}$$

Se viene specificato solo uno tra tempo di ritardo e salita, si intende il peggiore (il più grande) dei due.

2.3 Dimensionamento e prestazioni

Per tutto quanto visto in precedenza, nel progetto di un circuito in tecnologia CMOS bisogna tenere conto soprattutto di:

- capacità totale da pilotare;
- tempo di ritardo;
- consumo di corrente;

- area della cella.

La capacità totale C_{load} è la somma di tutte le capacità parassite:

$$C_{load} = C_{wire} + C_{gate} + C_{drain}$$

Mentre i parametri capacitivi dei transistori possono essere noti dalla tecnologia usata, la capacità delle interconnessioni non è nota e deve essere stimata, assicurandosi a progetto concluso che la stima non fosse in difetto.

Inoltre, per il dimensionamento dei transistori, bisogna considerare la peggiore configurazione degli ingressi per cui il pull-up o il pull-down sono accessi. Facciamo l'esempio di una porta NOR: (Figura 2.9)

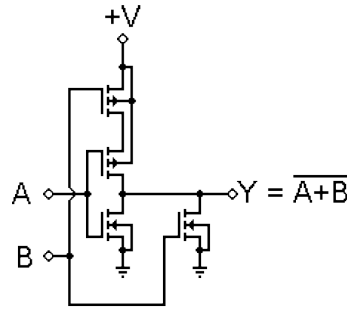


Figura 2.9: Porta logica NOR

Come si vede, il pull-down è acceso quando A o $B = 1$, quindi nel caso migliore $\beta_{pull-down} = 2\beta_n$, mentre $\beta_{pull-down} = \beta_n$ nel caso peggiore. Il pull-up invece è acceso con l'unica configurazione $A = B = 0$, e in questo caso, avendo un segnale che attraversa due transistori in serie, $\beta_{pull-up} = \frac{\beta_p}{2}$. Dall'ultima equazione si conclude quindi che $\beta_p = 2\beta_{pull-up}$, e quindi:

$$\beta_p = 2k \frac{C_{load}}{t_r(V_{DD} - V_{SS} + V_{th,p})}$$

Inoltre nella costruzione del pull-up bisogna ricordarsi che la mobilità delle lacune è inferiore di circa 3 volte a quella degli elettroni, rendendo così

necessaria la triplicazione dell'area della diffusione p, rispetto a quella della diffusione n.

[Weste; Eshraghian, 1993]

Capitolo 3

Il circuito di sensing

Questa tesi tratta dello studio di un circuito di sensing di una memoria non volatile per applicazioni aerospaziali. Il circuito serve per confrontare la differenza tra la corrente di una cella di memoria selezionata e la corrente di riferimento locale; normalmente si assume che la cella di riferimento non sia programmata.

Anche se in linea di principio si potrebbe pensare di leggere semplicemente il valore della corrente della cella selezionata, in realtà è necessario introdurre questo meccanismo di lettura differenziale poiché le condizioni di funzionamento dei dispositivi a semiconduttore possono variare a seconda della zona di silicio in cui si trovano.

Spieghiamo meglio: alcune zone della memoria potrebbero essere più conduttive, altre meno; non sarebbe possibile quindi assumere un valore di riferimento standard per determinare in modo efficace l'uscita del valore letto, dal momento che una cella di memoria programmata potrebbe avrebbe un valore di corrente molto diverso da un'altra cella, sempre programmata, ma situata in un'altra zona.

Nel semplice esempio in Figura 3.1 abbiamo schematizzato diverse colonne della matrice di celle, con le relative bitline di riferimento, che si trovano in diverse zone della superficie della memoria: nella prima bitline passa una corrente di 20 mA, mentre nella bitline di riferimento 200 mA e in questo

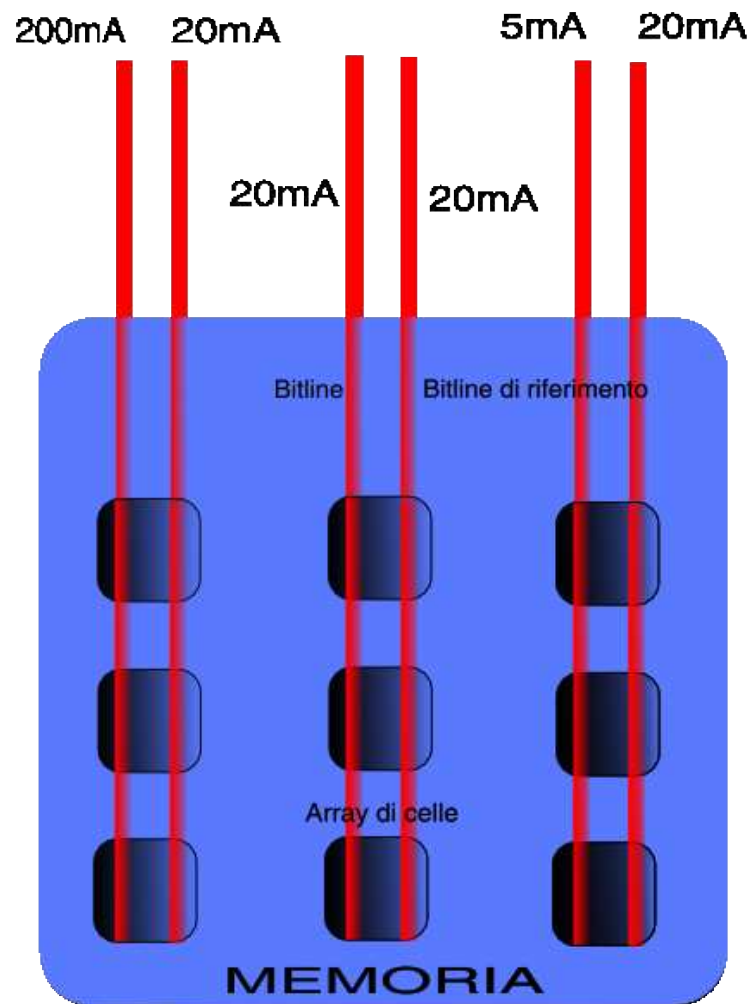


Figura 3.1: Esempio di conduttività in zone diverse

caso la cella è programmata.

Nel secondo caso sia nella bitline sia nella bitline di riferimento passano 20 mA, quindi l'uscita corretta è quella di una cella non programmata. Questo esempio chiarisce come gli stessi valori di corrente abbiano significati diversi in punti diversi della fetta di silicio e vadano, quindi, sempre paragonati con un riferimento locale.

Per questo motivo il sense è progettato in maniera differenziale: se la differenza tra le due correnti è elevata l'uscita del circuito si porterà a un valore logico alto, viceversa se la differenza è minima si porterà a un valore basso. In questo modo si stabilisce con una buona affidabilità se una cella è programmata oppure no.

Chiariamo meglio l'ambiente in cui il sense opera con l'esempio illustrato nella Figura 3.2.

La matrice 16x16 contiene le celle di memoria: a essa sono collegate il decodificatore di riga e il decodificatore di colonna. Come si vede nella Figura 3.2 il sense riceve in ingresso i segnali di controllo, la bitline e la bitline di riferimento selezionate dalla decodifica di colonna e produce in uscita un valore che indica il valore logico della cella. Tale uscita è l'ingresso del buffer di uscita.

Esaminiamo ora nel dettaglio il sense vero e proprio, illustrato nella Figura 3.3.

Come si vede dalla Figura 3.3, il sense è diviso in tre parti principali:

1. **Lo specchio di corrente** è il componente principale del sense: esso compara le due correnti in ingresso, generando una tensione in uscita. Lo schema di principiodello specchio di corrente è illustrato nella Figura 3.4.

Esse è composto da due transistori pMOS connessi in modo da formare uno specchio di corrente: il gate e il drain del transistor M1 sono cortocircuitati, mentre source e bulk sono collegati alla tensione di riferimento: in questo modo si forza il funzionamento in regione attiva, in cui la corrente è $I_D = K(V_{GS} - V_{th})^2$.

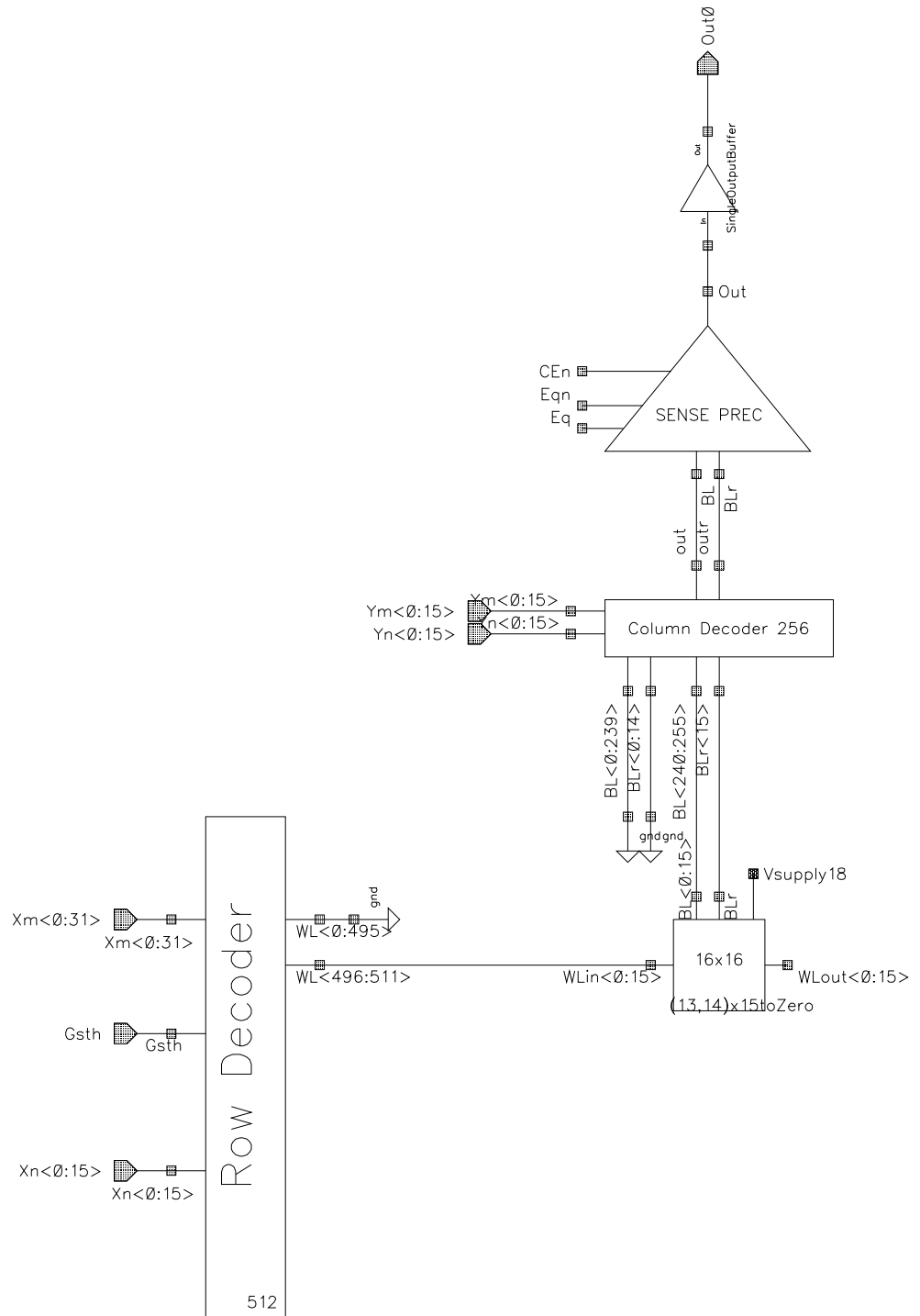


Figura 3.2: Schema a blocchi che evidenzia la posizione relativa e le interconnessioni del circuito di sensing

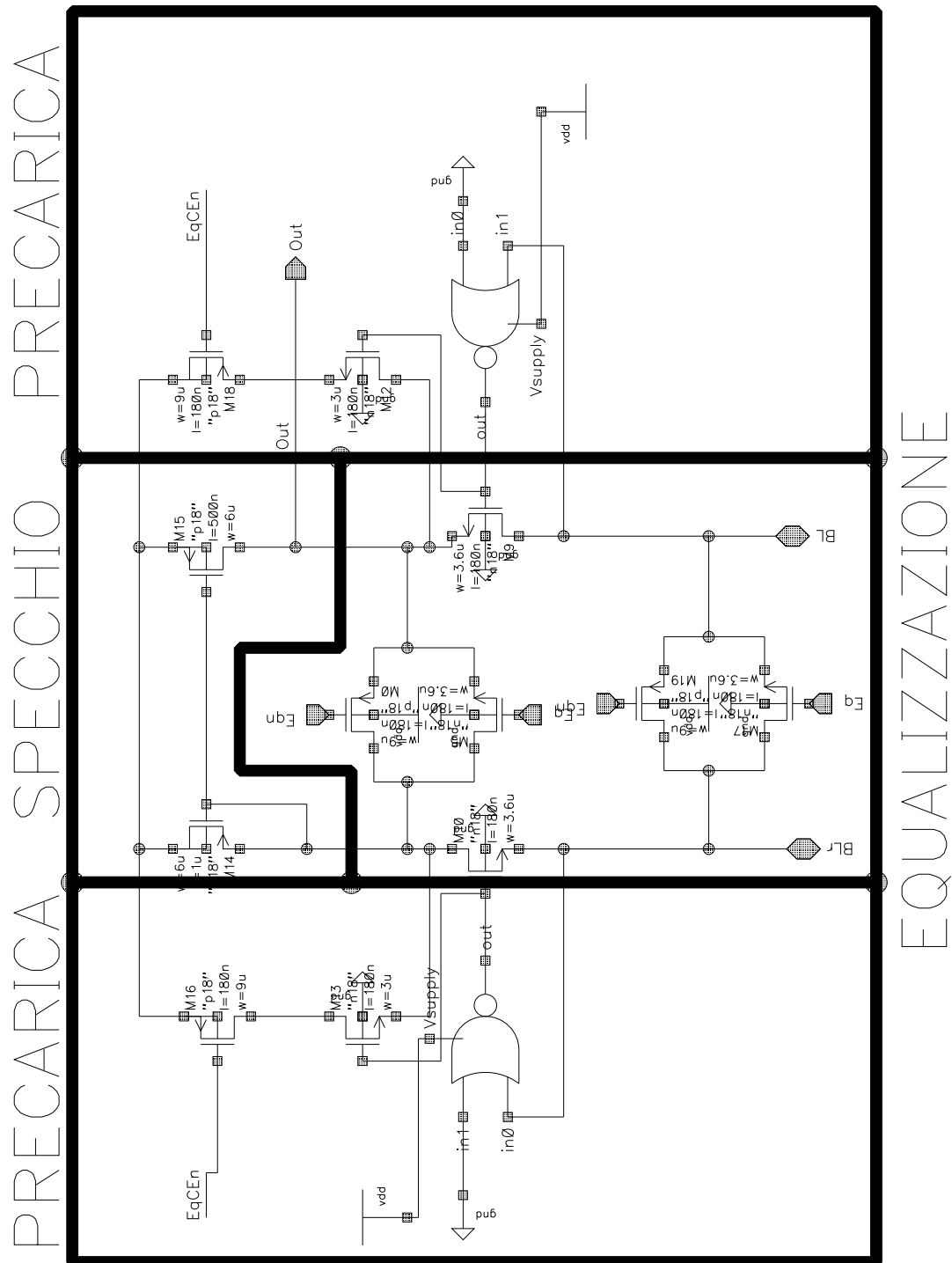


Figura 3.3: Il sense

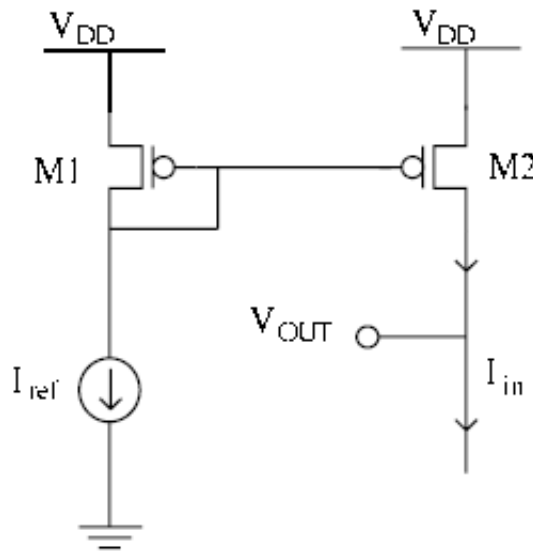


Figura 3.4: Il comparatore di corrente

Nel nostro caso, la corrente che attraversa il transistor MOS M1, che è determinata dalla corrente che attraversa la cella di memoria di riferimento, condiziona la tensione sul nodo di gate, che è usata per pilotare il gate di M2. In questo modo il valore logico presente sulla bitline di riferimento viene usato per pilotare il transistor M2.

Per analizzare il comportamento del circuito dobbiamo distinguere i due casi seguenti:

- Se la bitline è collegata a una cella che conduce molta corrente ($I_{IN} \approx I_{REF}$), la tensione sul nodo di drain di M2 si porta a un valore basso simile a quello sul drain di M1, il transistor funziona quindi in regione attiva (la tensione V_{GD} è circa 0) e l'uscita V_{OUT} rimane a un valore basso.
- In caso contrario se la bitline è collegata a una cella spenta (cioè programmata) la corrente I_{in} è minore di I_{ref} il transistor MOS

M2 funziona nella regione di triodo, portando la tensione di uscita V_{OUT} a un valore alto.

Ovviamente la velocità di comparazione è strettamente legata alla velocità con cui può cambiare la tensione su entrambe le bitline, e questa dipende dalle dimensioni dei transistori e dalle capacità parassite [Allen, 2002][Abo, 1993].

Per quanto riguarda le dimensioni dei transistori, il transistore deputato a pilotare l'uscita ha il rapporto $\frac{W}{L}$ più alto; in questo modo conduce più corrente (infatti nelle equazioni della corrente $K = \frac{1}{2}\mu\frac{\epsilon_{ox}}{t_{ox}}\frac{W}{L}$) ed è più rapido a portare la tensione di uscita V_{OUT} a valori alti.

2. **La sezione di precarica** serve a compensare alcune non idealità che possono rallentare il funzionamento della memoria. Le bitline, essendo delle lunghe striscie di metallo, hanno carichi capacitivi dell'ordine di alcuni picoFarad. Per questo motivo, se si vuole minimizzare il tempo di lettura bisogna portare il valore di tensione di bitline e bitline di riferimento a un valore ottimale. Senza questo meccanismo di precarica i tempi di lettura sarebbero inaccettabili. La precarica realizza quindi un percorso alternativo collegato a V_{DD} e mediante un anello di retroazione con un guadagno che porti rapidamente alla tensione voluta. Il circuito di precarica è pilotato dal segnale di equalizzazione negato che controlla in particolare i pMOS M16 e M18 (Figura 3.3).

Quando vi è una transizione di lettura in ingresso, l'ATD genera un segnale di equalizzazione che attiva la precarica. Al termine del tempo di precarica è possibile leggere il valore della cella [Stabile, 2006].

3. **L'equalizzazione** serve a portare allo stesso valore le tensioni, in modo da evitare che eventuali differenze momentanee di tensione non portino a commutazioni spurie del segnale di uscita V_{OUT} . Si usa quindi una coppia di interruttori pilotati dal segnale di equalizzazione e dal suo negato: quando il segnale dritto è alto il suo negato è basso ed entrambi

accendono rispettivamente un transistor nMOS e un pMOS, creando un cammino tra le bitline [Stabile, 2006].

Capitolo 4

Le simulazioni circuitali

Una delle fasi più importanti nella progettazione di circuiti integrati è la simulazione, effettuata con software specifici, per poter verificare il comportamento del circuito prima di fabbricarlo, e avere così la possibilità di effettuare in tempi brevi modifiche ed ottimizzazioni nell'implementazione.

Abbiamo visto nel Capitolo 2 come molti parametri fisici dei dispositivi a semiconduttore siano difficilmente calcolabili in modo esatto. Quindi è necessario fare una stima delle prestazioni del sistema, anche tenendo conto delle possibili variazioni dei parametri, per potere avere dei risultati di simulazione attendibili. Solo in questo modo si può avere l'effettiva certezza di costruire un circuito robusto e in grado di garantire il corretto funzionamento per un certo lasso di tempo.

Le simulazioni effettuate sono state condotte nel dominio del tempo e consentono l'analisi a diversi livelli di dettaglio; in particolare servono per verificare il funzionamento del sistema al variare di molti fattori, tra cui fattori ambientali, parametri di fabbricazione, elementi parassiti e disturbi esterni, come vedremo più avanti.

4.1 Come simulare?

Per effettuare una simulazione circuitale, si utilizza un grande numero di variabili collegate ai parametri fisici dei semiconduttori. Vediamo quali sono i principali parametri richiesti per una simulazione.

- **Alimentazione:** i transistori MOS usati nel disegno dello schema circuitale sono progettati per funzionare con una tensione di riferimento $V_{DD} = 1.8 \text{ V}$. Questa tensione è generata da un dispositivo esterno al chip, e può succedere che non abbia il valore esatto ma sia soggetta a variazioni. Le memorie elettroniche per applicazioni aerospaziali devono garantire il funzionamento con tensioni di $\pm 20\%$ rispetto al valore nominale della tensione di alimentazione; è quindi necessario simulare il circuito assicurandone il funzionamento da 1.46 a 2.16 V.
- **Temperatura:** la temperatura influisce pesantemente sulle caratteristiche fisiche dei dispositivi elettronici, in particolare quando è elevata aumenta la resistenza del transistor e delle interconnessioni, per cui la velocità di propagazione dei segnali diminuisce. Le memorie non volatili per applicazioni aerospaziali devono funzionare in un intervallo di temperatura da -65°C a $+155^\circ\text{C}$, più ampio anche dello standard militare (-55°C , $+125^\circ\text{C}$).
- **Parametri di fabbricazione:** le fonderie di silicio forniscono spesso modelli da usare nei simulatori circuitali. Questi modelli descrivono anche le deviazioni nel processo di fabbricazione e consentono di verificare l'effetto di un insieme di variazioni dei parametri dei transistori, in particolare la conduttività e la tensione di soglia.

Alcuni degli elementi parassiti, come capacità e resistenza di un transistor, sono inseriti nelle specifiche dei componenti usati dal simulatore. Altri però richiedono di aggiungere elementi circuitali quali condensatori o resistenze per simularli: la non idealità di una linea di interconnessione ne è un esempio.

Occorre dunque impostare il simulatore in modo da considerare tutte le combinazioni di questi parametri (o perlomeno le più significative) per avvicinarsi il più possibile alle situazioni più ostiche (i casi peggiori): se il circuito funziona in queste situazioni, allora con certezza funzionerà in condizioni migliori.

Introduciamo quindi il concetto di "*worst case analysis*", cioè un insieme di casi di simulazione per simulare il caso peggiore. Illustriamo con un grafico le densità di probabilità di questi casi, facendo riferimento, per semplicità, alla sola variazione della conduttività dei transistori pMOS e nMOS (Figura 4.1).

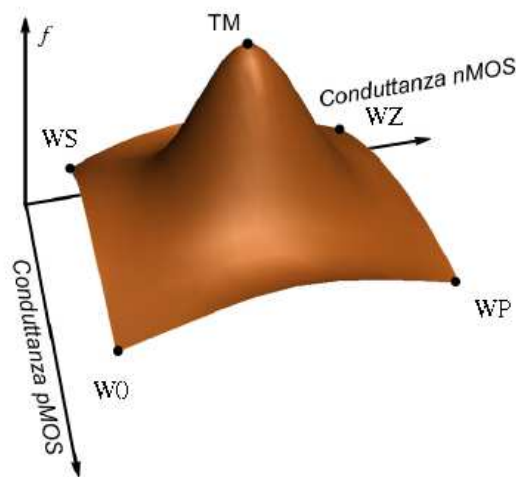


Figura 4.1: Densità di probabilità al variare della conduttanza dei transistori [Stabile, 2006]

L'analisi di tutti questi casi, unita alle variazioni della tensione di alimentazione, della temperatura e degli elementi parassiti, costituisce la "*corner analysis*", letteralmente l'analisi degli angoli: nella Figura 4.1 gli angoli sono appunto le condizioni meno probabili fra quelle per cui il processo di fabbricazione viene considerato a buon fine, mentre il caso tipico sta nel mezzo. La

Tabella 4.1 illustra un ottimo esempio di insieme di worst case per la corner analysis.

Corner	MOS	RES	CAP	TEMP	ALIM
1	WP	WP	WP	-65°C	+20%
2	WS	WS	WS	-65°C	-20%
3	WS	WS	WS	+155°C	-20%
4	WO	WP	WP	-65°C	+20%
5	WO	WS	WS	+155°C	-20%
6	WZ	WP	WP	-65°C	+20%
7	WZ	WS	WS	+155°C	-20%

Tabella 4.1: Esempi di worst case

Nella Tabella 4.1, le sigle hanno i significati seguenti:

1. **Worst Case Speed (WS):** In questa situazione sia i transistori MOS a canale n sia quelli a canale p sono meno conduttivi rispetto ai valori tipici: la resistenza e le capacità aumentano rispetto al caso tipico. Si tratta quindi del caso peggiore per quanto riguarda la velocità.
2. **Worst Case Power (WP):** entrambi i tipi di transistori MOS sono più conduttivi rispetto ai valori tipici, la resistenza e le capacità sono minori. In questo caso il consumo di potenza è maggiore, anche se la velocità ne trae giovamento.
3. **Worst Case One (WO):** Il transistorore a canale p è più conduttivo, mentre quello a canale n lo è di meno; il verificarsi di questa situazione influenza in modo asimmetrico il funzionamento, per esempio in logica CMOS il pull-up sarà più veloce, il pull-down più lento.
4. **Worst Case Zero (WZ):** L'opposto del caso precedente, cioè il transistorore pMOS è meno conduttivo, mentre quello nMOS conduce di più. Valgono le considerazioni precedenti, ovviamente ribaltate.

Non tutte le combinazioni possibili sono usate, per esempio la combinazione:

WS	WS	WP	-65°C	+20%
----	----	----	-------	------

non è usata, perché il comportamento in questo caso sarà intermedio tra quello del corner 1 e quello del corner 2 nella Tabella 4.1.

I worst case, inoltre, sono condizionati dalla temperature e dall'alimentazione. I tempi di ritardo aumentano all'aumentare della temperatura e al diminuire della tensione di alimentazione, quindi la simulazione con un temperatura elevata considera MOS, RES e CAP in worst case speed. Analogamente con temperatura bassa e aumento della tensione di alimentazione bisogna prestare attenzione al worst case power.

Infine, la corner analysis non tiene conto delle variazioni dei contributi apportati dagli elementi parassiti. Tali variazioni vanno considerate separatamente.

4.2 Cosa bisogna leggere?

In ogni esperimento simulativo lo scopo è trarre conclusioni dai risultati che si osservano, che in questo caso sono le forme d'onda che descrivono l'andamento dei segnali di uscita che vogliamo analizzare. Nei grafici che saranno presentati ci sono quattro tipi di aspetti che vogliamo considerare.

1. Il primo e principale è il funzionamento logico, in quanto il nostro primo desiderio è che il circuito fornisca i bit corretti, altrimenti tutto il resto ha poco senso. Questo aspetto è un po' il risultato di un'astrazione, in quanto il bit è il risultato di una interpretazione data a grandezze analogiche che variano con continuità, sappiamo però che l'uscita è alta a cella di memoria accesa e bassa con cella programmata; quindi questi due valori logici in primis vanno controllati. In secondo luogo i fronti di salita e discesa devono essere sufficientemente ampi e distinti, in

modo da assomigliare alla forma d'onda "ideale": ideale non in quanto teorica, ma perché simulata con le condizioni tipiche di funzionamento.

2. Il secondo aspetto di fondamentale importanza sono i tempi di ritardo: ovviamente quanto più la memoria è veloce meglio è, ma dobbiamo conoscere i tempi in modo da garantire che la durata del ciclo di lettura e di scrittura sia entro i valori massimi, in modo da essere sicuri che tutti i segnali vengano letti in modo corretto.
3. I valori di tensione e corrente presenti nel circuito possono essere in grado di danneggiare il circuito stesso. Per esempio, 30 V su una linea di interconnessione la bruceranno; 6-7 V sul gate di un transistor ne provocheranno la rottura; un'intensità di corrente superiore al consentito sarà dannosa per il circuito. Verificare questi aspetti significa assicurarsi che tensioni e correnti non superino mai, durante il funzionamento, i valori di rottura.
4. Per ultimo teniamo conto del consumo di corrente globale, al fine di evitare che il sistema non dissipi troppa potenza.

Capitolo 5

Simulazione del circuito di sensing

In questo capitolo sarà descritto il vero e proprio argomento della tesi: l'uso della simulazione per ricavare i risultati che ci servono per garantire l'uso del circuito nello spazio. Presenteremo in primo luogo l'ambiente di simulazione, la descrizione dei segnali e i worst case usati. Infine esporremo i risultati delle simulazioni stesse sottolineando gli aspetti che rendono questo circuito rad-hard.

5.1 Ambiente di simulazione

Il circuito di sensing è stato progettato usando il software *Cadence Design Framework II*. Gli schemi circuitali sono stati disegnati con *Virtuoso Schematic Editor*, usando transistori di una tecnologia di fabbricazione CMOS con lunghezza minima di canale pari 180 nm. Le simulazioni sono state effettuate con *SPECTRE*.

Tutte le simulazioni che saranno presentate sono state ottenute utilizzando un ambiente di progettazione contenente, oltre allo schema del circuito, anche gli altri elementi che si troverebbero in un circuito vero e proprio. In-

oltre, l'ambiente di simulazione contiene anche la parte che genera i segnali di test e di controllo per il sense. L'insieme è illustrato nella Figura 5.1.

Il circuito è suddiviso nelle parti seguenti.

- Al centro della Figura 5.1 vediamo il circuito di sensing, simbolicamente rappresentato con il triangolo più grande; in ingresso al sense, con i nomi **BL** e **BLr**, sono collegate la bitline e la bitline di riferimento; alla sua sinistra i segnali di controllo **CEn**, **Eq** e **Eqn**; in alto l'uscita **Out**.
- Alla bitline e alla bitline di riferimento sono collegati due transistori a canale n che simulano il funzionamento di celle di memoria non volatile: se la tensione di gate ha un valore logico alto i transistori si accendono (cella non programmata); viceversa se la tensione di gate ha un valore logico basso si spengono (cella programmata). I due condensatori in parallelo alle bitline servono per simulare la capacità parassita della striscia di metallo della bitline.
- L'uscita del sense **Out** è collegata a due inverter in cascata che servono a squadrare il segnale prodotto dalla comparazione differenziale. In realtà sono esterni al circuito di sensing vero e proprio.
- In alto a sinistra nella Figura 5.1, il segnale di **CE** (Chip Enable) serve a evitare che a circuito spento il sense consumi corrente non necessaria e il suo negato (**CEn**) funziona come interruttore per la sezione di precarica, insieme al segnale di **Eq** (Equalizzazione) che si attiva alla commutazione dell'indirizzo di selezione della cella. Il suo negato **Eqn** è necessario per la sezione di equalizzazione.
- In basso a sinistra sono generati i segnali di **WL** (Word Line) e di **cella-pr** (Cella Programmata), i quali pilotano una porta NAND la cui uscita negata comanda il transistor nMOS usato per simulare la cella di memoria; quando **WL** e **cella-pr** sono alti, un valore logico alto accende il transistor, ricreando quindi la situazione nella quale viene

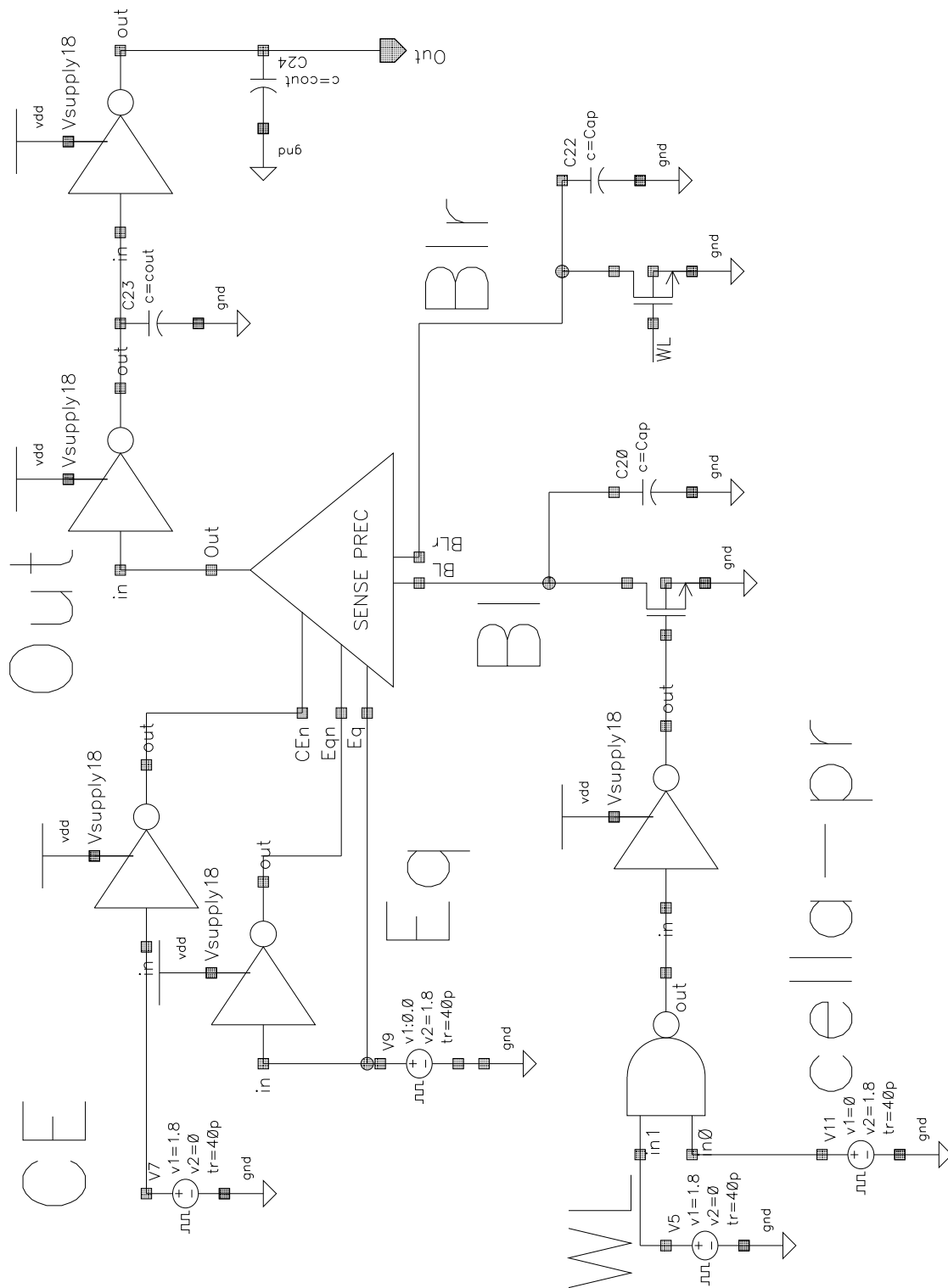


Figura 5.1: Schema circuitale dell'ambiente di simulazione [Stabile, 2006]

selezionata una cella accesa. Quindi a un valore alto di cella-pr corrisponde una cella non programmata. Il solo segnale **WL** pilota invece il transistor nMOS che rappresenta la cella di riferimento, che è sempre non programmata (e quindi il transistor è sempre acceso, una volta selezionata la riga).

Tutti gli elementi e i segnali dell'ambiente di simulazione, servono per modellare in modo semplice altri elementi della memoria, eccetto il valore di cella-pr che è un'astrazione del funzionamento della cella di memoria vera e propria.

5.2 I segnali

In questo paragrafo sono descritte le forme d'onda dei segnali in ingresso.

Le simulazioni sono state tutte condotte su un lasso di tempo di 900 ns, suddiviso in tre intervalli: 1) circuito spento; 2) circuito acceso; 3) spento di nuovo.

1. Il **segnale CE**, generato esternamente al chip, comanda come detto prima l'accensione e lo spegnimento della sezione di precarica; è costruito come un'onda quadra con periodo di 600 ns e durata di impulso di 300 ns, come illustrato nella Figura 5.2. Il circuito è acceso in presenza di un valore logico basso e viceversa.

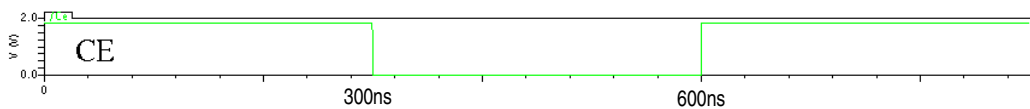


Figura 5.2: Segnale CE

2. Il **segnale WL** è generato in modo analogo al CE, con i fronti invertiti (5.3). Quando ha un valore alto significa che la riga è selezionata.

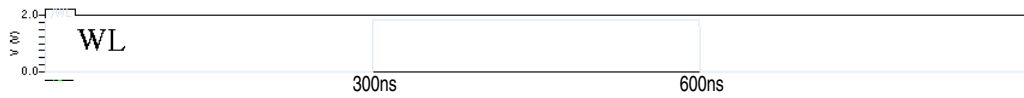


Figura 5.3: Segnale WL

Il suo andamento ha le stesse costanti di tempo dell'onda precedente per costruire i tre periodi di funzionamento indicati prima: l'accensione e il funzionamento del circuito si ottengono con un **CE** basso e **WL** alto.

3. **Il segnale cella-pr**: in questo esempio il segnale di cella programmata è generato facendogli assumere tre valori durante il secondo periodo, quando il circuito è acceso (Figura 5.4). Questi sotto-periodi rappresentano tre commutazioni dell'indirizzo di selezione della cella, ipotizzando di selezionare una cella accesa (non programmata) da 300 a 400 ns, una cella spenta da 400 a 500 ns e poi ancora una cella accesa da 500 a 600 ns. I valori fuori da questi intervalli, cioè nel primo e terzo periodo, non sono significativi.

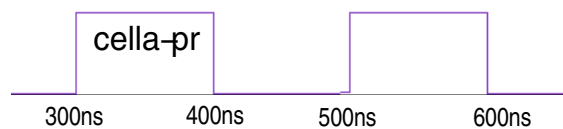


Figura 5.4: Segnale cella-pr

4. **Il segnale E_q** è strettamente legato all'andamento di **cella-pr**, poiché presenta un fronte di salita al variare dell'indirizzo di selezione, quindi ogni qualvolta il segnale **cella-pr** commuta (Figura 5.5). A ogni fronte di salita il segnale rimane a un valore logico alto per circa 20ns.

I tempi di salita e di discesa dei segnali sono impostati con valori trascurabili, circa 40 pS, assumiamo così che i dispositivi esterni al chip siano ideali.

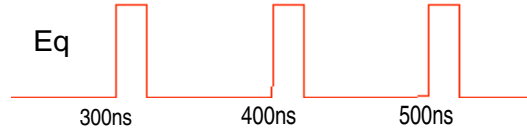


Figura 5.5: Segnale Eq

5.2.1 I risultati delle simulazioni

La Figura 5.6 illustra l'andamento dei segnali nel caso tipico.

In Figura 5.6 vediamo gli andamenti appena descritti, in aggiunta ai segnali di uscita della bitline, bitline di riferimento e dell'uscita (squadrata e non). Analizziamo nei particolari i tre intervalli di tempo:

1° intervallo (0-300 ns): Il circuito è spento, il segnale di CE è alto e quello di WL basso; l'andamento di tutti le altre tensioni non è importante, finchè i valori sono minori di quelli che possono provocare danni. Le correnti in questo intervallo sono quasi nulle.

2° intervallo (300-600 ns): Alla commutazione dei due segnali di abilitazione il circuito è acceso; il valore logico di **cella-pr** assume tre valori in sequenza (alto-basso-alto). A ogni commutazione di **cella-pr** il segnale di Eq rimane a un valore logico alto per 20 ns per attivare le sezioni di precarica ed equalizzazione del sense. Durante questo tempo osserviamo come le tensioni di BL e BLr si portino momentaneamente a valori simili; successivamente BLr rimane basso, e BL cambia a seconda di come la cella sia programmata (cioè a seconda del valore logico di **cella-pr** - Figura 5.7).

L'uscita del sense è la comparazione delle correnti di BL e BLr: si ha un valore logico alto quando vi è una differenza fra le correnti, e ciò avviene quando **cella-pr** ha un valore basso. Si può notare che in questo caso il nodo BL si porta a circa 900 mV poiché la cella selezionata è

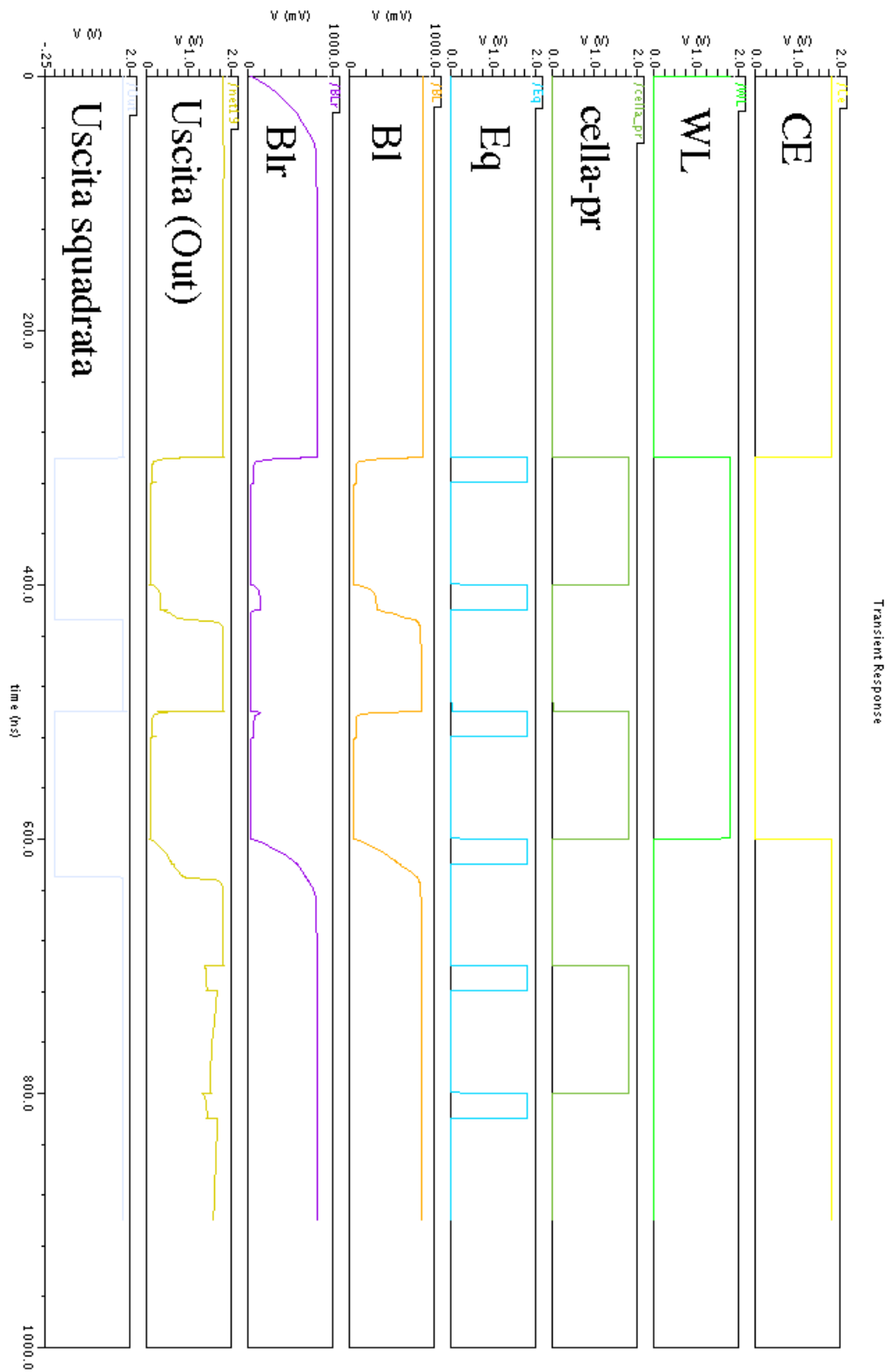


Figura 5.6: Forme d'onda d'esempio

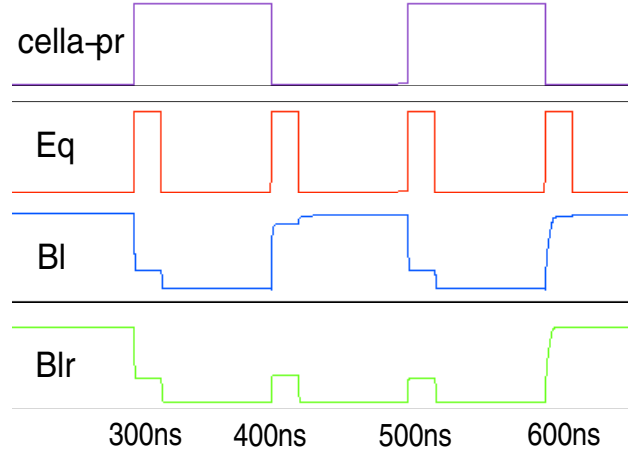


Figura 5.7: Particolare della Figura 5.6

programmata (quindi non conduttiva) e non porta il nodo a 0. Invece la cella di riferimento è sempre conduttiva quindi il nodo **BLr** va a 0. Come si vede dalla Figura 5.7, l'uscita assume il valore corretto dal termine del periodo di equalizzazione alla successiva commutazione di **cella-pr**: in questo esempio, alla commutazione di **cella-pr** che avviene a 400 ns, l'uscita è alta solo quando **Eq** ritorna a 0, quindi a 420 ns, e torna bassa a 500 ns, quando **cella-pr** commuta.

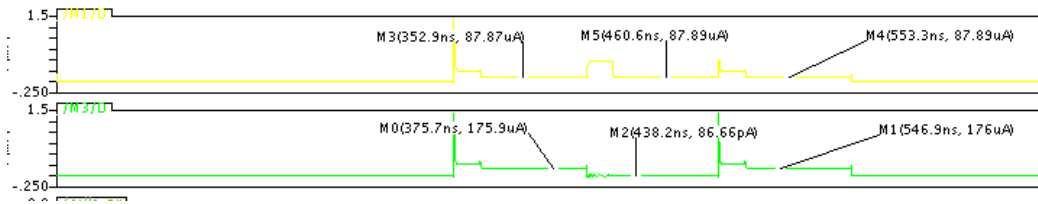


Figura 5.8: Correnti nelle BL

Vediamo in Figura 5.8 le correnti nelle bitline **BLr** e **BL** corrispondenti all'andamento descritto finora: si vede chiaramente come i valori della bitline di riferimento, presi in condizioni di lettura, siano costanti e pari

a circa $88\mu A$, diversamente se la cella è programmata la corrente che fluisce nella bitline è quasi nulla.

3° intervallo : Il circuito è di nuovo spento, CE è alto, WL è basso; restano valide le considerazioni per il primo intervallo.

5.2.2 Analisi dei risultati

- Il funzionamento del circuito può essere in prima approssimazione osservato dall'uscita squadrata: vediamo come i due valori logici (alto e basso) siano ben distinti e pari agli estremi dell'intervallo di alimentazione ($V_{DD} - 0$); i fronti di salita e di discesa sono ripidi e brevi se paragonati al tempo di permanenza del segnale. Possiamo concludere che il buffer di uscita, o qualsivoglia dispositivo che riceva in ingresso l'uscita del sense, non avrà problemi a leggerne il valore. In Figura 5.9 è raffigurato il segnale di uscita in condizioni tipiche.

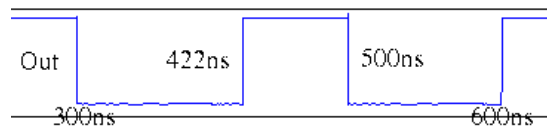


Figura 5.9: Particolare dell'uscita squadrata nel caso tipico

- Definiamo il tempo di ritardo in salita come il tempo che trascorre dalla discesa del segnale di Equalizzazione al valore massimo (o quasi) dell'uscita, il tempo di ritardo in discesa come quello che intercorre dall'inizio del fronte di salita del segnale di equalizzazione al valore minimo (o quasi) dell'uscita. In Figura 5.10 vediamo un esempio di tempo di ritardo in salita.

In condizioni di funzionamento tipiche il tempo di discesa è trascurabile; inoltre bisogna osservare che durante la fase di precarica/equalizzazione la bitline e la bitline di riferimento hanno lo stesso valore di tensione in

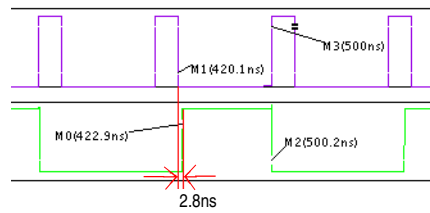


Figura 5.10: Particolare dei tempi di ritardo

quanto vi scorre una corrente simile. Quindi l'uscita si porta a 0 e non è necessario aspettare il termine del periodo di precarica, come invece lo è per osservare l'uscita alta.

- Si vedrà in seguito, nel Paragrafo 6.4, come durante il primo e il terzo intervallo, nel caso di circuito sottoposto a condizioni di irraggiamento, le tensioni assumano valori oltre il limite di rottura dei transistori, per poi tornare ai valori nominali. Verifichiamo quindi i valori di picco raggiunti dai segnali: in questo caso non superiamo 1 V su BL e BLr, che sono i nodi più sensibili (Figura 5.11).

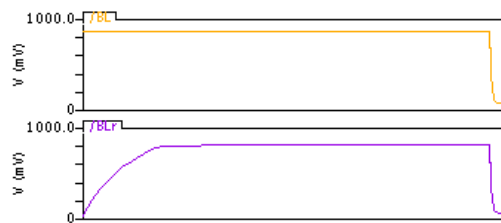


Figura 5.11: Particolare del primo intervallo: tensioni a circuito spento

- Il consumo di corrente totale (escluse alcune porte logiche trascurabili) è osservato tramite l'intensità di corrente uscente dal generatore di tensione che alimenta il sense nel caso il circuito sia acceso (Figura 5.12); a circuito spento è sufficiente controllare tutte le correnti interne, che devono essere nulle (Figura 5.13).

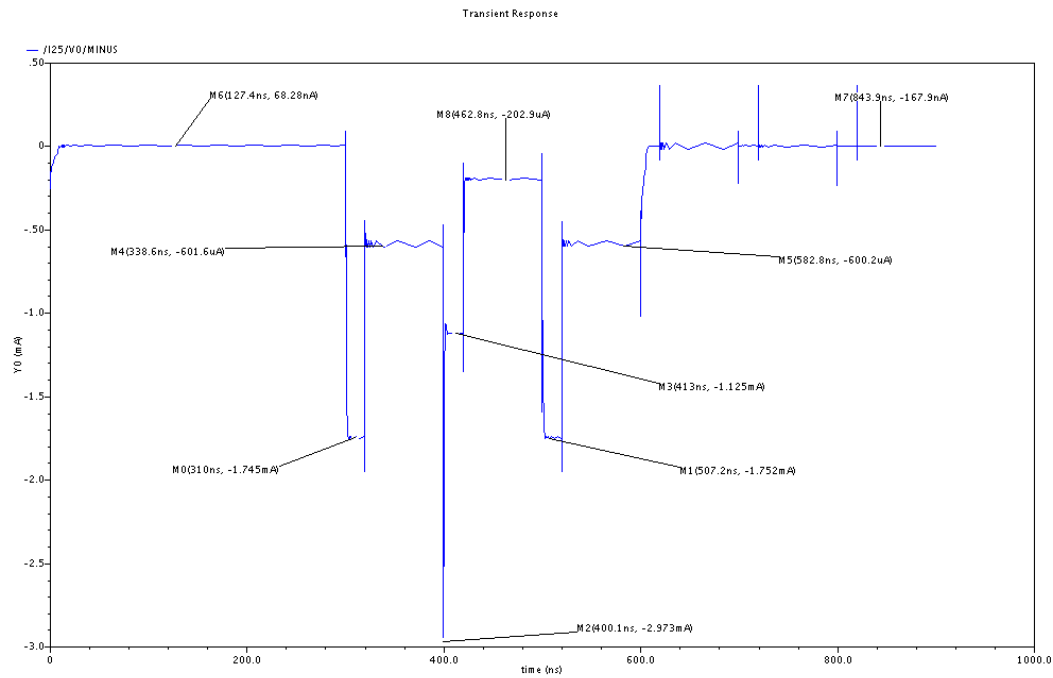


Figura 5.12: Correnti a circuito acceso nell'intervallo temporale centrale; i valori sono negativi perché la corrente è uscente dal generatore



Figura 5.13: Correnti a circuito spento nel primo intervallo temporale

5.3 Corner Analysis

Per iniziare la serie di simulazioni del circuito nei vari casi, eseguiamo per prima cosa una corner analysis (vista nel paragrafo 4.1) effettuata su tutti i casi riportati nella Tabella 4.1 con l'aggiunta del caso tipico (TYP).

I tempi di ritardo sono riportati nella Tabella 5.1. La colonna riguardante la resistenza è stata tolta perché non influisce sul funzionamento del sense, mentre le capacità sono fisse perché il loro effetto sarà analizzato a parte.

L'ultima colonna della Tabella 5.1 riporta i tempi di ritardo ottenuti dalle simulazioni, comprensivi del tempo di equalizzazione, cioè: $t_{del} = t_{Eq} + t_{r,Out}$; dove t_{del} = tempo di ritardo, t_{Eq} = tempo di equalizzazione, $t_{r,Out}$ = tempo di salita dell'uscita.

Esprimiamo così il tempo che intercorre tra il cambiamento dell'indirizzo di selezione di una cella e il raggiungimento di un valore logico certo all'uscita. Durante questa serie di simulazioni abbiamo considerato contributi capacitivi minimi (1 pF) sulle striscie di metallo.

Corner	MOS	TEMP	ALIM	CAP	TEMPO DI RITARDO (t_{del})
0	TYP	+27°C	1.8 V	1 pF	21.5 ns
1	WP	-65°C	2.16 V	1 pF	20.5 ns
2	WS	-65°C	1.46 V	1 pF	22.5 ns
3	WS	+155°C	1.46 V	1 pF	24 ns
4	WO	-65°C	2.16 V	1 pF	21 ns
5	WO	+155°C	1.46 V	1 pF	22 ns
6	WZ	-65°C	2.16 V	1 pF	20.5 ns
7	WZ	+155°C	1.46 V	1 pF	22 ns

Tabella 5.1: Ritardo al variare dei worst case

In Figura 5.14 vediamo il risultato della simulazione nel corner 3, nel quale si ha il maggior tempo di ritardo: 24 ns, che comunque è un valore adeguato per il funzionamento del sistema. In tutti gli altri casi il circuito funziona correttamente, con ritardi minori.

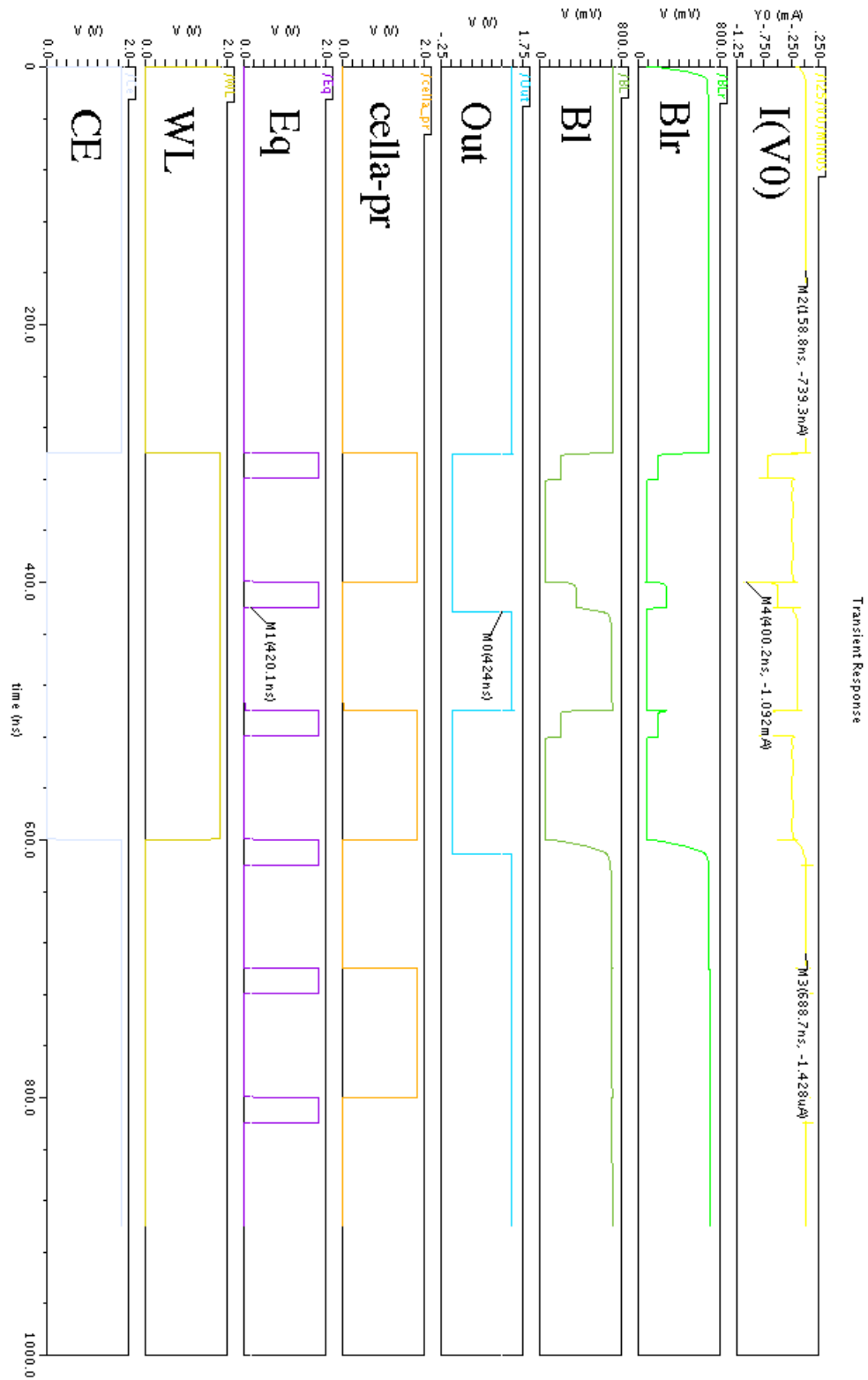


Figura 5.14: Simulazione del corner 3

Per completare la corner analysis studiamo l'andamento dei tempi di ritardo facendo variare il contributo capacitivo delle bitline e della bitline di riferimento. Per semplicità consideriamo solo tre casi, in luogo degli otto sopra elencati.

1. **Caso Tipico:** per il caso tipico impostiamo a valori tipici i parametri dei transistori, alimentazione a 1.8 V e temperatura di 27°C.
2. **Caso Veloce:** i parametri dei transistori sono in WP (più conduttivi), l'alimentazione è 2.16 V (1.8 V+20%), la temperatura è -65°C.
3. **Caso Lento:** i transistori sono in WS (meno conduttivi), l'alimentazione è 1.46 V (1.8-20%), la temperatura è +155°C.

La Tabella 5.2 riporta i risultati della simulazione al variare delle capacità associate alle bitline.

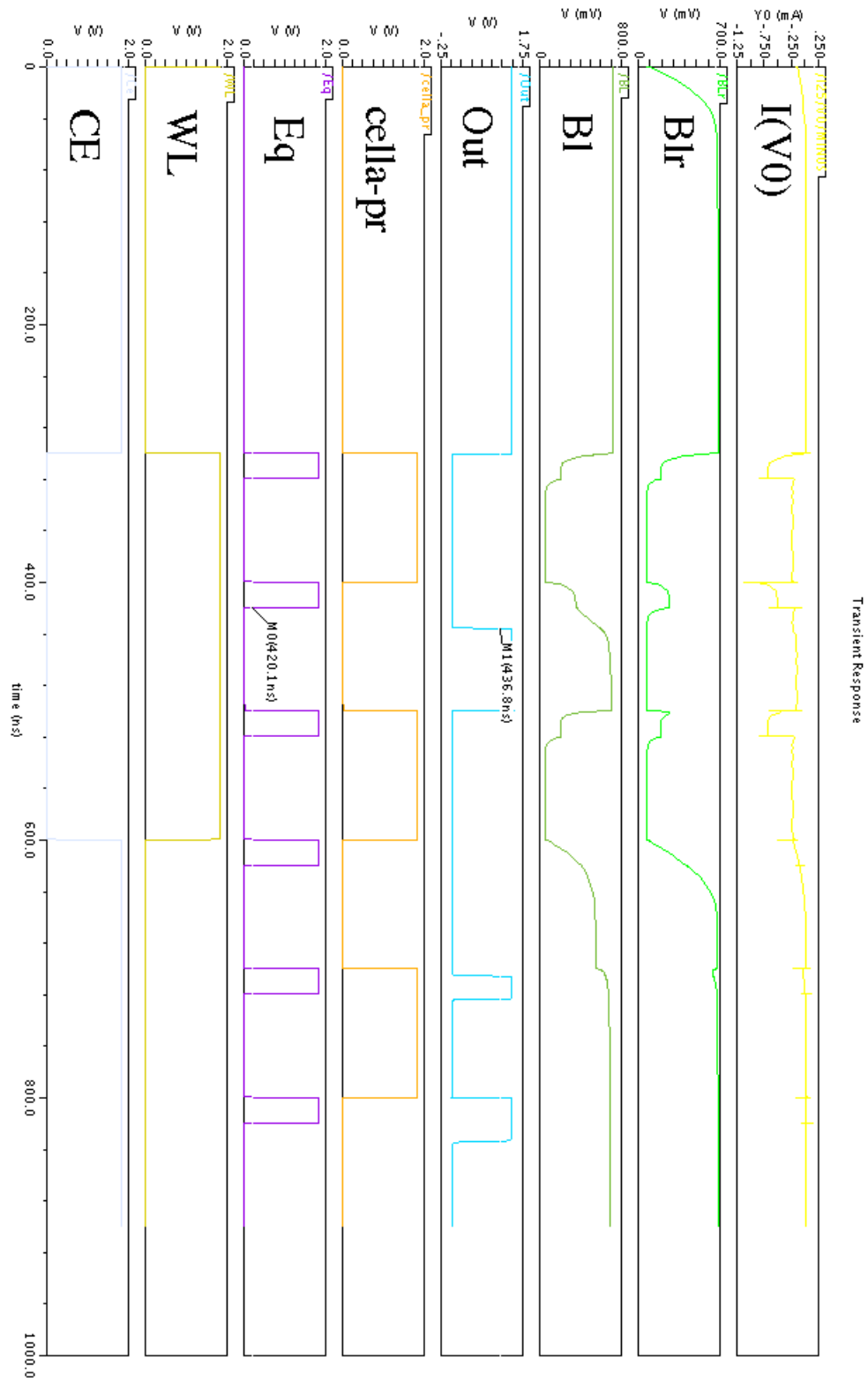
CASO	CAP		
	1 pF	3 pF	5 pF
Tipico	21.5 ns	23.9 ns	26.1 ns
Veloce	20.5 ns	21.9 ns	22.9 ns
Lento	24.0 ns	30.2 ns	36.7 ns

Tabella 5.2: Ritardo al variare della capacità

La Figura 5.15 mostra i risultati della simulazione nell'angolo più critico; il ritardo aumenta in modo significativo, ma rimane entro valori accettabili; per tutto il resto il funzionamento del circuito non subisce modifiche.

5.4 Riduzione del tempo di equalizzazione

Finora abbiamo condotto le simulazioni con un tempo di equalizzazione (t_{Eq}) di 20 ns; questo tempo è necessario per precaricare la bitline e la bitline di riferimento a valori di tensione ottimali; è possibile però ridurre

Figura 5.15: Caso lento ($C = 5\text{pF}$)

questo tempo, e leggere l'uscita dopo un tempo minore dal cambiamento dell'indirizzo di selezione.

Verificando sempre il corretto funzionamento logico, simuliamo il circuito al variare di t_{Eq} . I risultati sono riportati nella Tabella 5.3.

i risultati delle simulazioni sono riportati fino a un tempo di equalizzazione di 2 ns. Non si riscontrano miglioramenti abbassando ulteriormente questo tempo.

Se controlliamo i tempi di ritardo nella situazione peggiore, cioè il caso lento con 5 pF, i risultati nelle tabelle indicano che fino a 5 ns questo tempo si abbassa, rendendo quindi vantaggioso limitare il tempo di equalizzazione a questo valore. Se però consideriamo i tempi non comprensivi del periodo di precarica, cioè il solo tempo di salita $t_{r,Out}$, notiamo che tendono ad aumentare al diminuire di questo periodo; ciò è maggiormente evidente nei casi lenti con carichi capacitivi massimi (5pF); in questi casi, infatti, un tempo di equalizzazione maggiore è necessario per portare le bitline alla tensione ottimale.

In conclusione, dove non altrimenti specificato, le simulazioni successive saranno condotte con tempo di equalizzazione pari a 5 ns. Inoltre, a causa di questa riduzione, è possibile aumentare la frequenza di cambiamento dell'indirizzo di selezione della cella per simulare un periodo di lettura minore. Nelle Figure 5.16 e 5.17 è riportato il segnale **cella-pr** rispettivamente con tre e cinque sottointervalli di lettura.

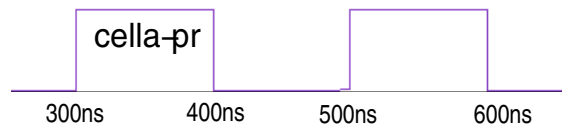


Figura 5.16: Segnale **cella-pr** con tre periodi di lettura

Di conseguenza il segnale di **Eq** avrà l'andamento in Figura 5.18.

In Figura 5.19 vediamo gli andamenti dei segnali **Eq**, **cella-pr** e **Out**.

$t_{Eq}=20$ ns				$t_{Eq}=15$ ns			
CASO	CAP			CASO	CAP		
	1 pF	3 pF	5 pF		1 pF	3 pF	5 pF
Tipico	21.5 ns	23.9 ns	26.1 ns	Tipico	16.5 ns	18.8 ns	21.7 ns
Veloce	20.5 ns	21.9 ns	22.9 ns	Veloce	15.7 ns	16.7 ns	17.7 ns
Lento	24.0 ns	30.2 ns	36.7 ns	Lento	18.7 ns	18.9 ns	31.4 ns

$t_{Eq}=10$ ns				$t_{Eq}=5$ ns			
CASO	CAP			CASO	CAP		
	1 pF	3 pF	5 pF		1 pF	3 pF	5 pF
Tipico	11.3 ns	14.2 ns	16.5 ns	Tipico	6.8 ns	9.3 ns	13.3 ns
Veloce	10.5 ns	11.4 ns	12.3 ns	Veloce	5.8 ns	6.9 ns	8.2 ns
Lento	13.6 ns	19.9 ns	27.2 ns	Lento	9.2 ns	16.0 ns	25.1 ns

$t_{Eq}=3$ ns				$t_{Eq}=2$ ns			
CASO	CAP			CASO	CAP		
	1 pF	3 pF	5 pF		1 pF	3 pF	5 pF
Tipico	5.2 ns	8.3 ns	12.8 ns	Tipico	4.2 ns	8.5 ns	13.91 ns
Veloce	3.6 ns	5.0 ns	7.2 ns	Veloce	2.6 ns	4.3 ns	7.3 ns
Lento	7.9 ns	15.5 ns	26.2 ns	Lento	5.9 ns	16.5 ns	28.2 ns

Tabella 5.3: Ritardo al variare di capacità e tempo di equalizzazione

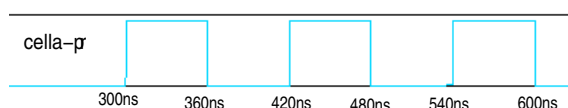


Figura 5.17: Segnale cella-pr con cinque periodi di lettura

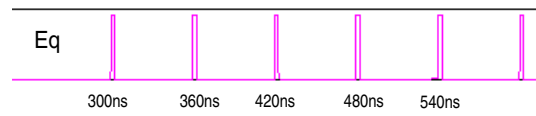


Figura 5.18: Segnale E_q con cinque periodi di lettura

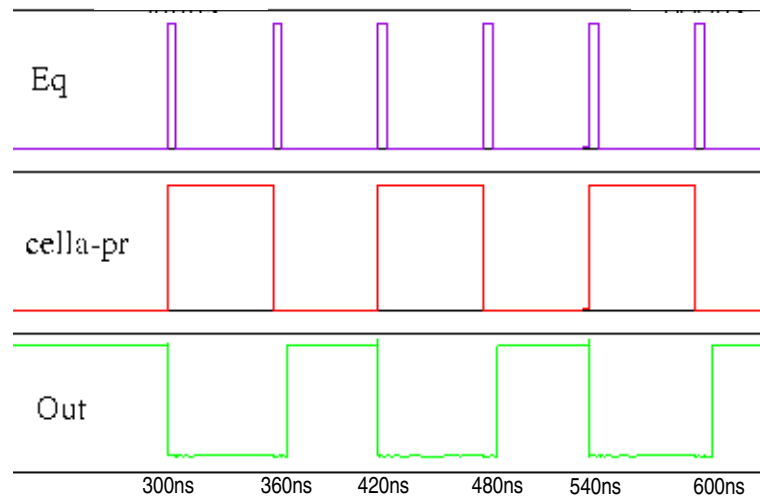


Figura 5.19: Segnali con cinque commutazioni di lettura

Se prima il periodo del ciclo di lettura/scrittura era di 80 ns, (cioè il valore di **cella-pr** rimane costante per 100 ns, e si può leggere/scrivere dopo i 20 ns di Equalizzazione), adesso **cella-pr** è costante per 60 ns, dei quali 5 ns servono alla fase di precarica: il periodo di lettura/scrittura disponibile è di 57 ns. Abbiamo così ridotto di circa il 25% il tempo utile per la lettura o la scrittura di una cella di memoria: in realtà questo tempo è fissato dalle specifiche della memoria, diminuendolo in fase di simulazione verifichiamo il funzionamento del circuito di sensing in condizioni peggiori.

5.5 Ridimensionamento dei transistori

Abbiamo parlato del segnale CE che spegne il circuito e limita il consumo di corrente; a sense acceso, però, i consumi sono sufficientemente alti da dissipare una quantità non necessaria di potenza.

In Figura 5.20 vediamo il grafico delle correnti a circuito acceso ottenuto con periodo di equalizzazione di 5 ns.

Nella Figura 5.20 si notano chiaramente i cinque periodi di equalizzazione della durata di 5 ns ciascuno, in corrispondenza dei quali si hanno i valori massimi di corrente, che arrivano fino a circa 3 mA. Questo elevato consumo di corrente deve essere ridotto diminuendo il consumo di corrente dei singoli transistori, cioè cambiandone le dimensioni; i transistori MOS che maggiormente influenzano i consumi sono i quattro direttamente collegati alla tensione di riferimento V_{DD} (Figura 5.21).

Sappiamo dalle equazioni dei transistori in triodo e regione attiva che la corrente che li attraversa dipende dal rapporto delle dimensioni $\frac{W}{L}$. Notiamo che i MOS 1 e 4 in Figura 5.21 hanno un rapporto $\frac{W}{L}$ pari a 50, mentre per i MOS 2 e 3 è pari a 6.

Dai risultati ottenuti facendo alcune simulazioni con diverse lunghezze di canale, si è notato che un buon rapporto velocità/corrente si ha impostando la W (width) dei transistori 1 e 2 a $2.5 \mu\text{m}$ e la L (length) a $1 \mu\text{m}$. Di

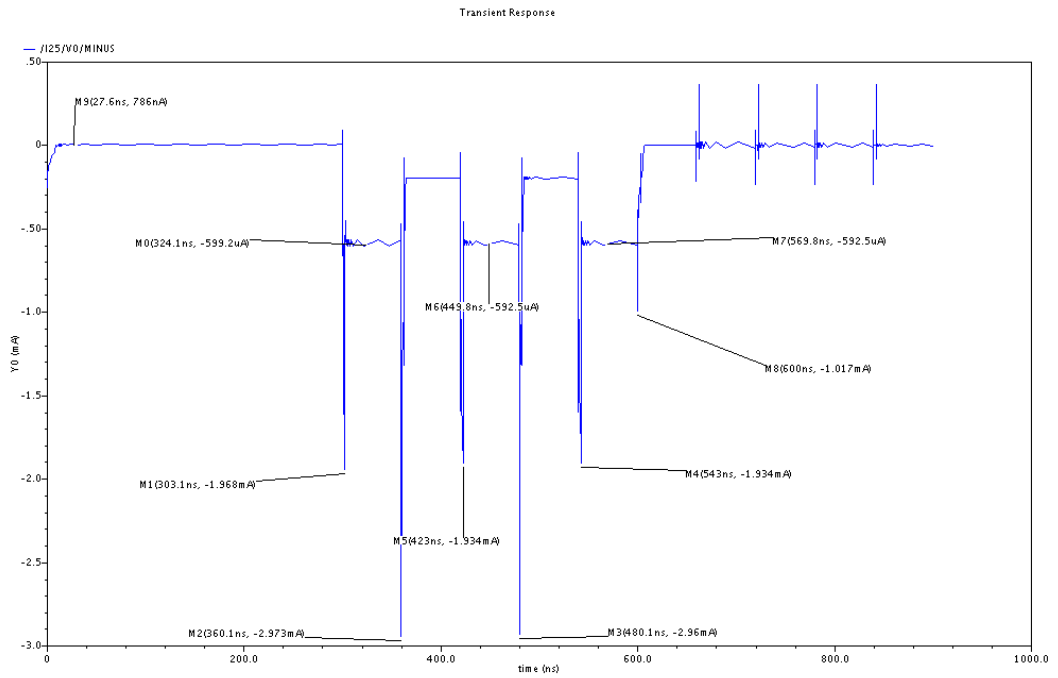


Figura 5.20: Correnti a circuito acceso nell'intervallo temporale centrale

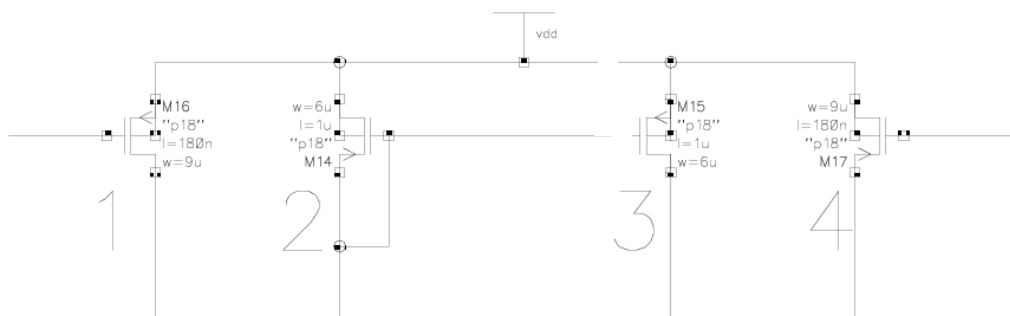


Figura 5.21: Particolare del circuito di sense

conseguenza, possiamo scegliere per i transistori 3 e 4, relativi alla bitline, un rapporto $\frac{W}{L}$ doppio e quindi $W=5\text{ }\mu\text{m}$ e $L=1\text{ }\mu\text{m}$.

In questo modo la corrente che attraversa i transistori MOS 1 e 4, anzich  essere moltiplicata per un coefficiente di 50,   moltiplicata per 5: diventa cio  un decimo rispetto al valore in Figura 5.20.

Con queste modifiche, il consumo di corrente diventa quello riportato nella Figura 5.22.

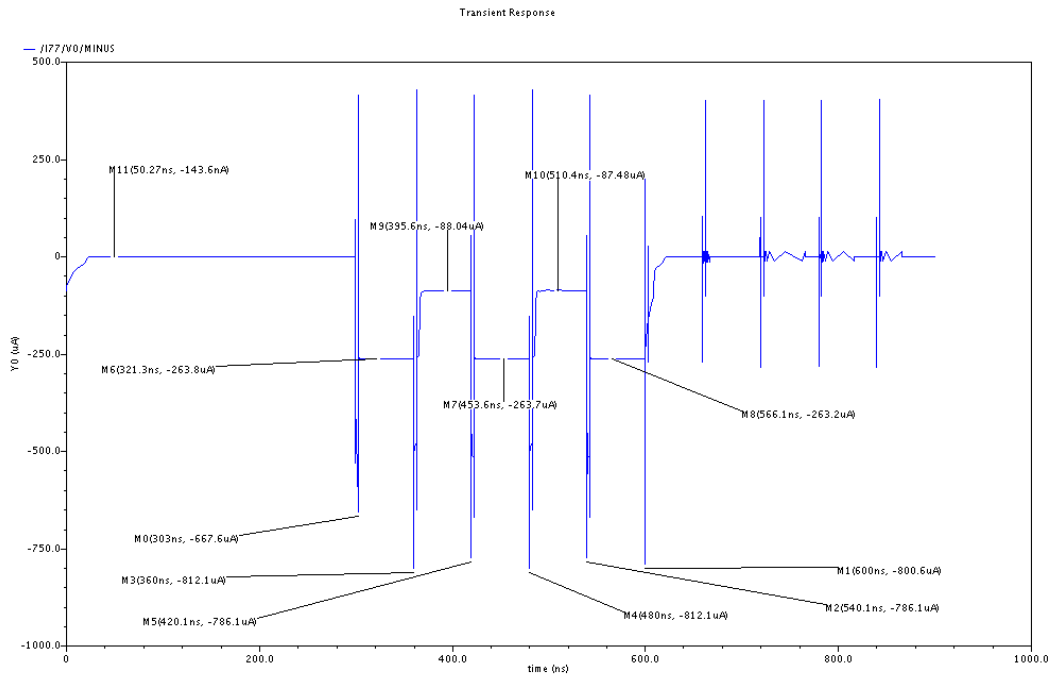


Figura 5.22: Correnti nel circuito con i transistori ridimensionati

  subito evidente che i picchi di corrente sono molto pi  contenuti, e con loro anche i consumi durante le fasi di lettura. Dal momento che saranno necessari 12 circuiti di sensing, il risparmio   significativo.

5.6 Eliminazione di una sottosezione di equalizzazione

Le sezioni di equalizzazione nella Figura 3.3 sono due: una inferiore e una superiore. Quella inferiore equalizza le correnti delle bitline collegate alle celle di memoria, mentre quella superiore equalizza le tensioni lette dal comparatore di corrente.

La sezione inferiore non è necessaria: eliminandola, durante la precarica la sezione superiore si occupa di equalizzare anche le correnti.

Il nuovo circuito diventa quello riportato nella Figura 5.23.

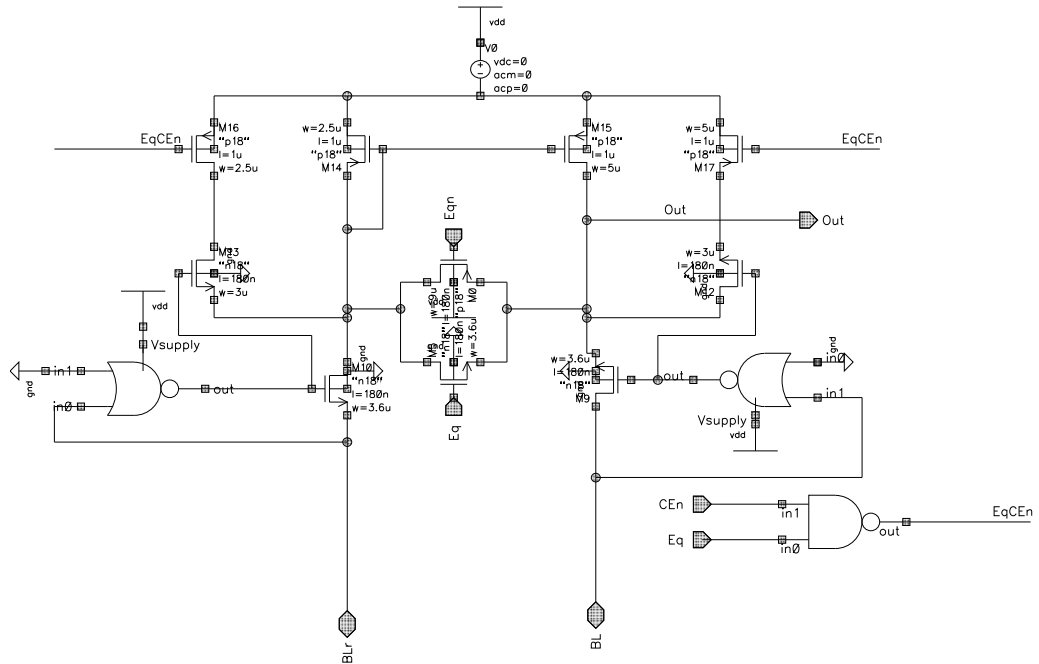


Figura 5.23: Circuito modificato

5.7 *Corner Analysis* del circuito modificato

Sottoponiamo quindi il circuito di sensing, dopo entrambe le modifiche, a una corner analysis con $t_{Eq}=5$ ns per verificare il corretto funzionamento. I risultati sono riassunti nella Tabella 5.4.

$t_{Eq}=5$ ns				$t_{Eq}=3$ ns			
CASO	CAP			ANGOLO	CAP		
	1 pF	3 pF	5 pF		1 pF	3 pF	5 pF
Tipico	8.5 ns	14.0 ns	21.0 ns	Tipico	6.3 ns	13.0 ns	20.0 ns
Veloce	6.5 ns	10.0 ns	13.0 ns	Veloce	5.3 ns	8.5 ns	13.0 ns
Lento	10.0 ns	20.0 ns	32.0 ns	Lento	8.0 ns	20.0 ns	32.0 ns

Tabella 5.4: Ritardi del circuito modificato

Notiamo come la minore intensità di corrente che fluisce nei transistori rallenti il circuito in presenza di carichi capacitivi elevati, dal momento che la tensione ai capi di un condensatore aumenta con l'integrale della corrente che lo attraversa.

Capitolo 6

Simulazione degli effetti delle radiazioni sul circuito di sense

In questo capitolo simuleremo il circuito di sensing sotto l'effetto delle radiazioni; partendo dalla cause fisiche degli errori dovuti alle radiazioni, introdurremo poi il concetto di *fault injection*, gli elementi circuitali necessari a simularlo, esamineremo tempo, ampiezza e frequenza delle radiazioni e verificheremo il funzionamento del sense nei worst case sotto l'effetto delle radiazioni. Infine verrà presentata una modifica al circuito per renderlo più resistente.

6.1 Effetti delle radiazioni sui dispositivi MOS

Ci concentreremo principalmente sugli effetti transitori non distruttivi nei dispositivi MOS, e sulla loro simulazione, in particolare vedremo:

- Generazione di carica
- SEU e SEL nelle memorie

e accenneremo anche alcuni effetti distruttivi, come:

- Single Event Gate Rupture (SEGR)

- Single Event Snapback (SES)

6.1.1 Generazione di carica

Nel Capitolo 1 abbiamo visto i tipi di particelle presenti nello spazio. In particolare, quando una particella carica colpisce un circuito, essa provoca il cosiddetto danno da ionizzazione, che può innescare un fenomeno transitorio di generazione di carica. Quando questo accade, la particella ionizzante genera nel semiconduttore e nell'ossido una zona cilindrica (dal raggio di alcuni micron) di coppie elettrone-lacuna in eccesso (Figura 6.1). Questo fenomeno crea un certo numero di portatori liberi, proporzionale al LET^1 della particella e dipendente dal punto di impatto: le zone più sensibili sono le giunzioni polarizzate inversamente.

Se è presente un campo elettrico, alcuni portatori si ricombinano, mentre altri vengono raccolti da un elettrodo: se questa carica supera una certa soglia (carica critica) si possono avere comportamenti anomali nel circuito.

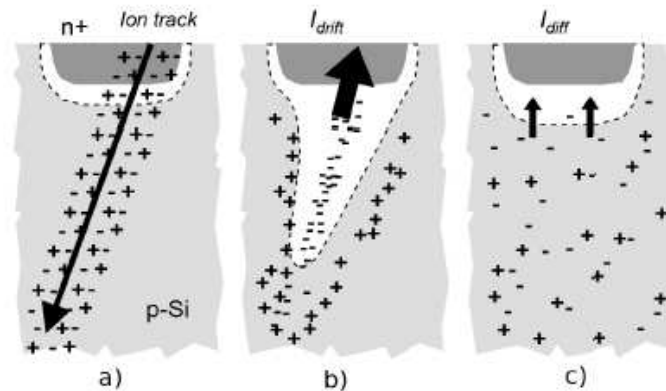


Figura 6.1: Generazione di carica

Vediamo in dettaglio tutte le fasi:

¹LET: Linear Energy Transfer, è la quantità di energia trasferita dalla particella ionizzante al materiale che colpisce

6. Simulazione degli effetti delle radiazioni sul circuito di sense 67

Figura 6.1a) Al passaggio dello ione, si crea la regione cilindrica con coppie elettrone-lacuna in eccesso;

Figura 6.1b) Raccolta dei portatori e distorsione del campo elettrico (*funnel*): la dimensione del *funnel* è inversamente proporzionale al drogaggio del semiconduttore, inoltre esso aumenta l'effetto della raccolta di cariche;

Figura 6.1c) Dopo circa 10^{-11} s il fenomeno di diffusione domina il fenomeno di raccolta di cariche.

Questo fenomeno provoca una corrente che attraversa il dispositivo MOS, il cui andamento è schematizzabile come in Figura 6.2.

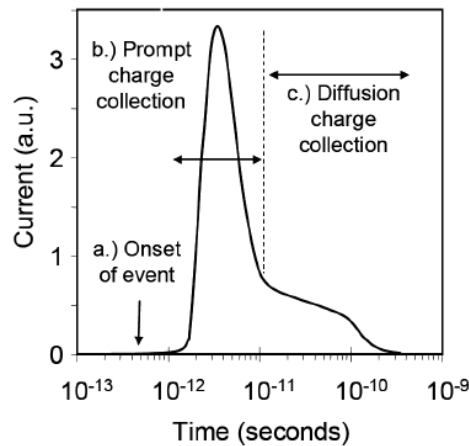


Figura 6.2: Corrente causata dal fenomeno di generazione di carica

6.1.2 SEE nelle memorie

Gli effetti da evento singolo (SEE - *Single Event Effect*) sono fenomeni causati dalle particelle con alta energia (come gli ioni pesanti) che passano

attraverso i circuiti integrati. Questi fenomeni generano un immediato malfunzionamento di uno o più transistori, alterando il funzionamento dell'intero circuito. Gli errori generati possono essere reversibili (cioè non distruttivi), e in questo caso sono chiamati *soft errors*, oppure non reversibili (cioè distruttivi), e in questo caso sono chiamati *hard errors* [Beaucour, 1995].

SEU

Un SEU (*Single Event Upset*) consiste nella perdita di informazione da una cella di memoria causata dal passaggio di una singola particella ionizzante: essa genera una carica che scambia il valore logico di un bit, o di più bit (MBU - *Multiple Bit Upset*). La Figura 6.3 mostra come si verifica il fenomeno del SEU in una cella di memoria statica (SRAM²).

Figura 6.3a) Il fenomeno di generazione di carica, come detto prima, colpisce le giunzioni polarizzate inversamente con tensione elevata. In questo esempio vediamo un transistor nMOS di un inverter: sul gate c'è un segnale basso (0) quindi l'nMOS è spento, sul drain c'è una tensione alta (perché il pMOS è acceso) mentre il substrato è collegato a V_{SS} (cioè a 0). Tra drain e substrato vi è quindi una giunzione parassita polarizzata inversamente. Se uno ione colpisce il drain si genera una corrente che attraversa la giunzione e cambia il valore dell'uscita;

Figura 6.3b) Al contrario, se lo ione colpisce una giunzione ai cui capi la differenza di tensione è nulla (in questa figura il drain dell'nMOS è a 0, così come il substrato) non si verifica il fenomeno di generazione di carica e non vi è corrente;

Figura 6.3c) In questo esempio si vede come uno ione che cade su una giunzione polarizzata inversamente con tensione elevata (come visto in Figura 6.3a) faccia cambiare il valore logico del bit memorizzato nella cella SRAM.

²Static Random Access Memory: una cella di questa memoria è formata da due inverter connessi in modo circolare, come si vede in Figura 6.3d

6. Simulazione degli effetti delle radiazioni sul circuito di sense 69

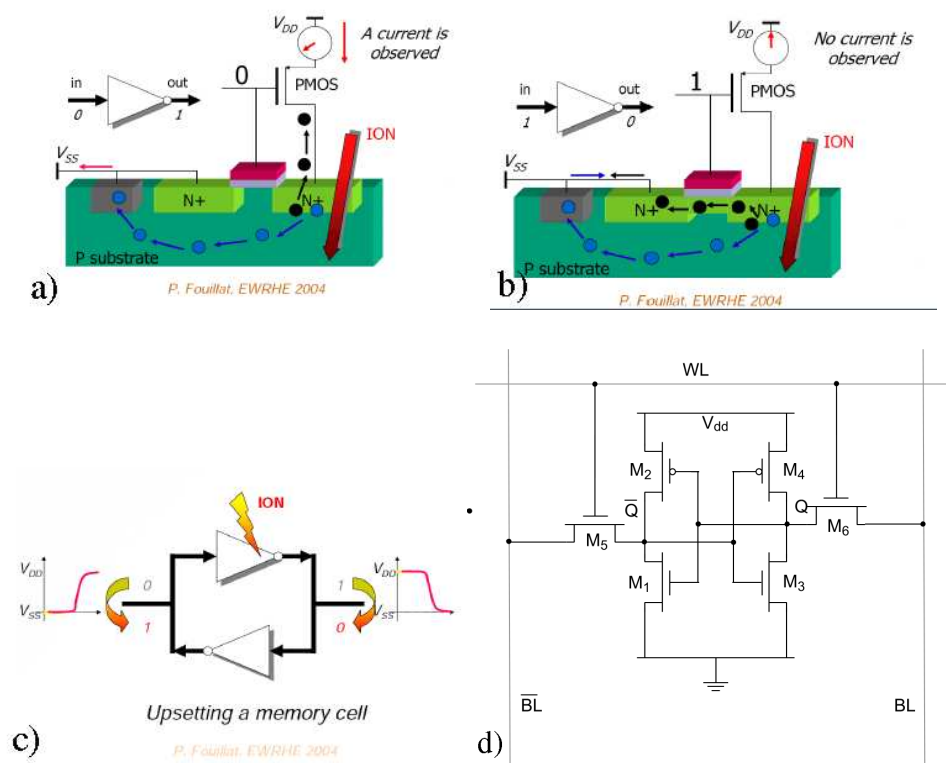


Figura 6.3: Evento singolo in un inverter di una cella di memoria SRAM

Soluzioni per il SEU

Per ridurre il verificarsi del SEU, si può agire a diversi livelli:

1. Livello tecnologico: usare un substrato epitassiale, oppure il SOI (Silicon On Insulator);
2. Disegno della cella: incrementare la carica critica incrementando la capacità del nodo di memorizzazione: usando transistori più grandi o aggiungendo condensatori.
 - La capacità critica è definita come $Q_C = V_C \cdot C_S$ (C_S è la capacità di memorizzazione, V_C è la tensione critica, generalmente pari alla metà della tensione di alimentazione).
3. Ridondanza:
 - Usare la Triple Modular Redudancy (TMR): triplicazione e voto.
 - Usare Codici di correzione dell'errore (ECC).

SEL

Il Single Event Latch-up avviene quando la corrente parassita continua ad aumentare in un percorso retroazionato positivamente tra substrato e n-well; può essere distruttivo se la corrente supera una certa soglia (Figura 6.4).

Soluzioni per il SEL

1. Livello tecnologico:
 - Usare un substrato epitassiale;
 - Usare una trincea di ossido per la separazione tra substrato e n-well.
2. Soluzione Layout:
 - Usare anelli di guardia;
 - Mettere molti contatti di substrato e di n-well.

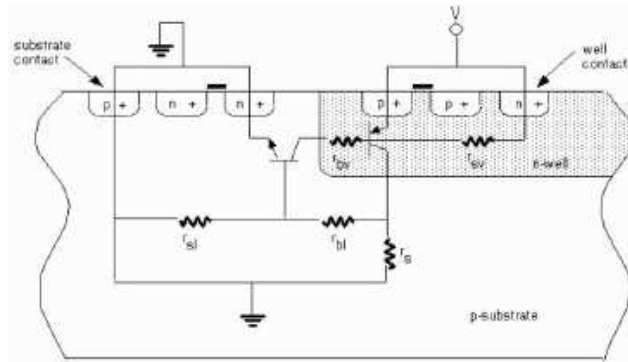


Figura 6.4: Single Event Latch-up in un invertier

6.1.3 *Single Event Snapback (SES)*

Analogamente al SEL, il SES funziona tramite una retroazione, anche se non ha bisogno di una struttura parassita PNPN. Facendo passare un'elevata corrente nel drain di un transistor nMOS, il transistor BJT NPN che ha come emettitore, base e collettore rispettivamente il source, il substrato e il drain dell'nMOS può accendersi mediante un meccanismo a valanga che si innesca nella regione di canale prossima al di drain a causa della ionizzazione da impatto.

Questo meccanismo provoca l'iniezione di lacune nella regione di substrato sotto il gate che agiscono come corrente di base del transistor bipolare, il quale si accende e inietta elettroni dal source (emettitore) al drain (collettore).

Questo incremento nell'intensità di corrente dà forza al meccanismo di valanga. Il SES avviene quando la tensione di drain è elevata.

6.1.4 *Single Event Gate Rupture (SEGR)*

A differenza della generazione di carica e dei SEE, è un evento irreversibile (quindi distruttivo) che consiste nella perforazione dell'ossido sotto il gate da

parte di particelle ionizzate. Si crea così un cortocircuito tra gate e canale che rende il transistor inutilizzabile.

È particolarmente importante in presenza di forti campi elettrici, come nelle memorie EEPROM.

6.2 Test SEE

I test SEE servono per valutare l'errore atteso del componente in uno specifico ambiente operativo (spazio, avionica, livello del mare). Si possono usare:

- *Fault injection*
- Acceleratori

Noi useremo la tecnica di fault injection, letteralmente "inserimento di errori": si introducono guasti artificiali nel sistema, che viene osservato per analizzare come i guasti si evolvono e gli errori che provocano. Le tecniche di Fault Injection possono essere a livello di:

- Hardware
- Software: simulazione con un simulatore circuitale oppure implementazione di software appositi.

Nelle nostre simulazioni, per introdurre le radiazioni, useremo la tecnica di fault injection inserendo generatori di corrente impostati aventi una forma che riproduce il fenomeno di generazione di carica illustrata nella Figura 6.2. Il circuito risultante è illustrato nella Figura 6.5.

6.3 Ambiente di simulazione per le radiazioni

Usiamo la tecnica descritta nel paragrafo precedente nel circuito di sensing: posizioniamo generatori di corrente su due transistori, un nMOS e un

6. Simulazione degli effetti delle radiazioni sul circuito di sense 73

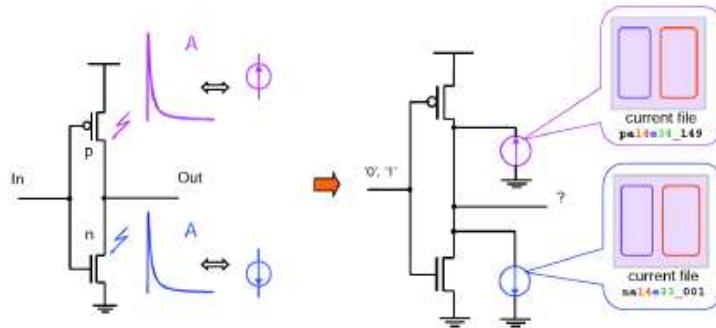


Figura 6.5: Circuito per la simulazione di fault injection

pMOS. Nella Figura 6.6 in basso a destra vediamo un ingrandimento di cosa succede nel transistor nMOS; un impulso analogo è stato posizionato sul drain del transistor pMOS in alto a destra.

La forma d'onda della corrente che simula l'impulso è definita sulla base di quella vista in Figura 6.2, ed è illustrata nella Figura 6.7. Il valore di picco è di 100 mA, la durata complessiva è di circa 1 ns.

6.4 Simulazione degli effetti delle radiazioni

Vediamo come reagisce il circuito alla presenza dei due impulsi di corrente di 100 mA posizionati in corrispondenza dei transistori nMOS e pMOS nella Figura 6.6. La Figura 6.8 riporta il risultato della simulazione.

- Durante la fase di precarica il drain del transistor nMOS è a un valore logico alto, mentre il substrato è sempre collegato a 0 V; è quindi osservabile la corrente dovuta al fenomeno di generazione di carica: in Figura 6.8 l'impulso **Imp1** provoca un picco di tensione di 2.5 V su Bl e Blr;
- quando l'uscita è bassa, il drain del transistor pMOS è a un valore

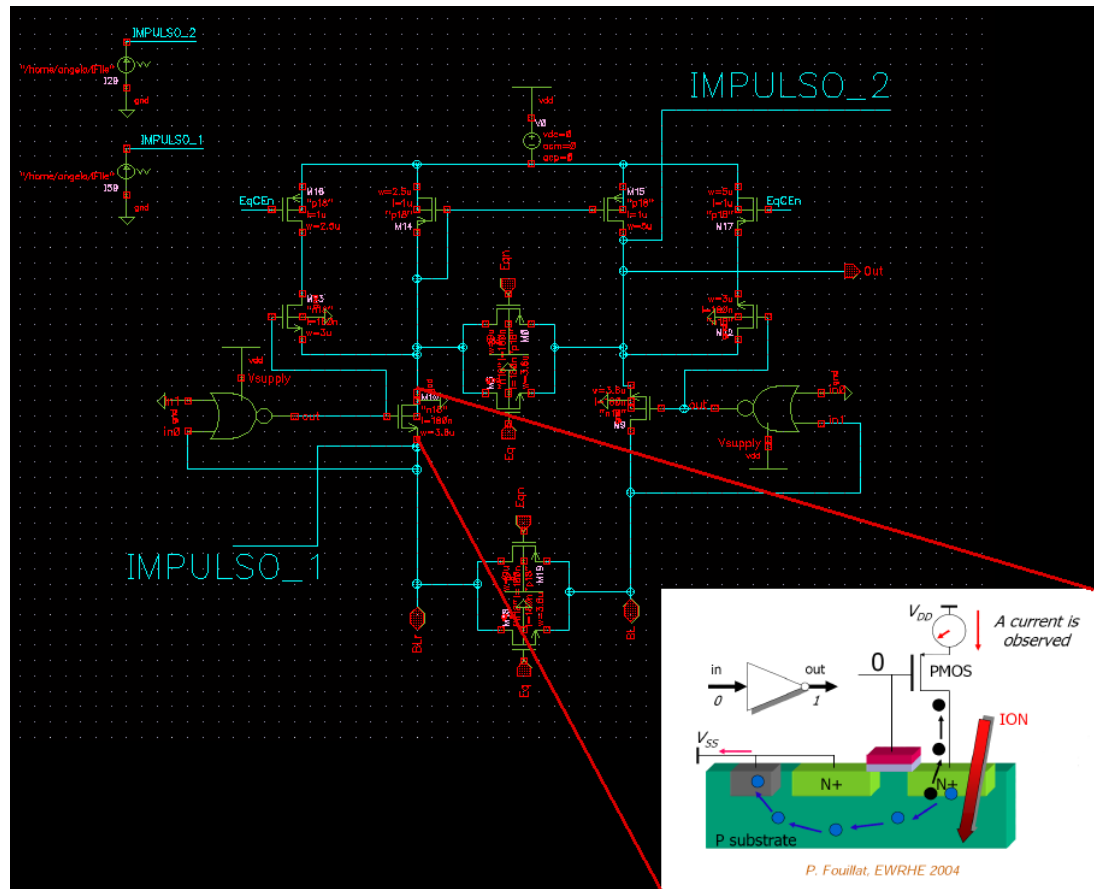


Figura 6.6: Posizionamento degli impulsi

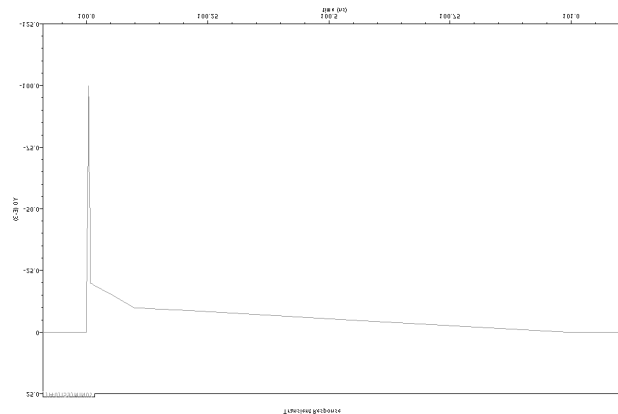


Figura 6.7: Particolare dell'impulso singolo di corrente

6. Simulazione degli effetti delle radiazioni sul circuito di sense 75

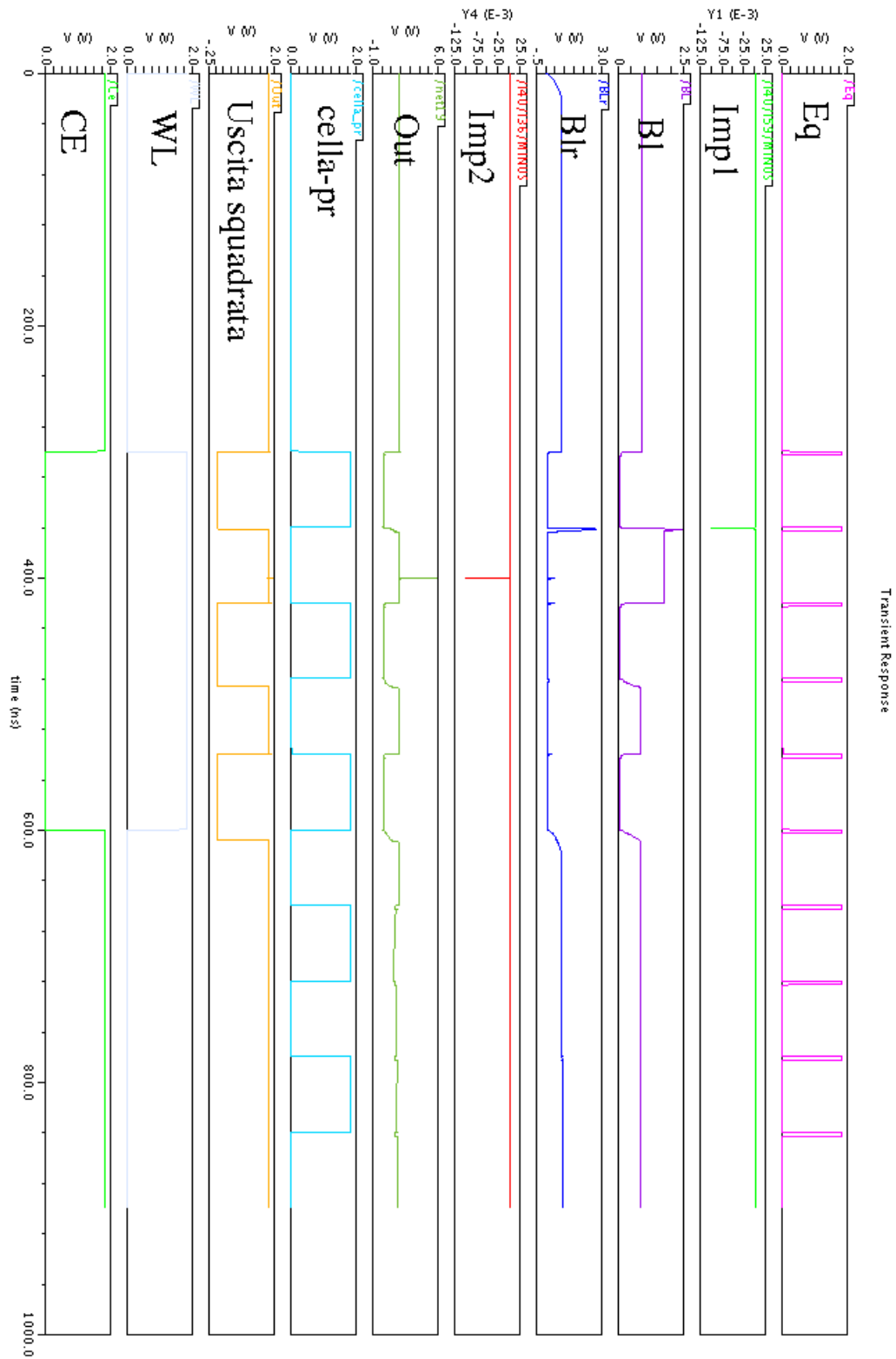


Figura 6.8: Simulazione del circuito sottoposto ai due impulsi di corrente

logico basso, mentre il substrato è collegato a V_{DD} , il picco **Imp2** è posizionato in corrispondenza di un valore basso dell'uscita. In questo caso notiamo che il segnale **Out** ha un picco di tensione di 6 V.

Questo è ciò che succede quando gli impulsi sono sporadici; se invece si presentano con sufficiente frequenza, i loro effetti possono causare problemi e rendere il segnale di uscita illeggibile. Ad esempio, simulando il funzionamento del circuito con impulsi ripetuti sui due transistori, si ottiene il risultato riportato in Figura 6.9.

Osservando l'uscita (**Out**) in Figura 6.9 si vede come il segnale sia poco pulito, e lo diventa sempre meno all'aumentare della frequenza degli impulsi.

Infine posizioniamo impulsi su diversi nodi del circuito, ci poniamo quindi nel caso peggiore in cui particelle ionizzanti colpiscono il sensing molte volte in più punti diversi, anche contemporaneamente.

Nel prossimo esempio vediamo come si comporta il circuito sottoposto a stimoli di corrente di ampiezza pari a 100 mA e frequenza per ogni nodo di 10 MHz (uno ogni 100 ns). Il risultato è riportato nella Figura 6.10.

Confrontando la Figura 6.10 con quella precedente (Figura 6.9), osserviamo che l'uscita non è cambiata in modo significativo: questo perché non tutti gli impulsi influiscono sul funzionamento del circuito. La maggior parte di essi produce solo momentanee oscillazioni di tensione che vengono compensate dal circuito stesso, oppure troppo brevi per essere lette.

Le uniche eccezioni sono le bitline: dal momento che il circuito di sensing effettua una lettura differenziale in corrente, impulsi di corrente sulla bitline o sulla bitline di riferimento provocano una lettura sbagliata del valore memorizzato nella cella collegata alla bitline.

Analizziamo quindi i risultati principali:

- L'aspetto più importante da considerare riguarda la pulizia del segnale in uscita: come abbiamo già visto (Figura 6.10) sono comparse delle brusche oscillazioni dovute agli impulsi di correnti disposti sui nodi del circuito. Sarà quindi necessario introdurre ulteriori elementi circuitali per compensare questo effetto.

6. Simulazione degli effetti delle radiazioni sul circuito di sense 77

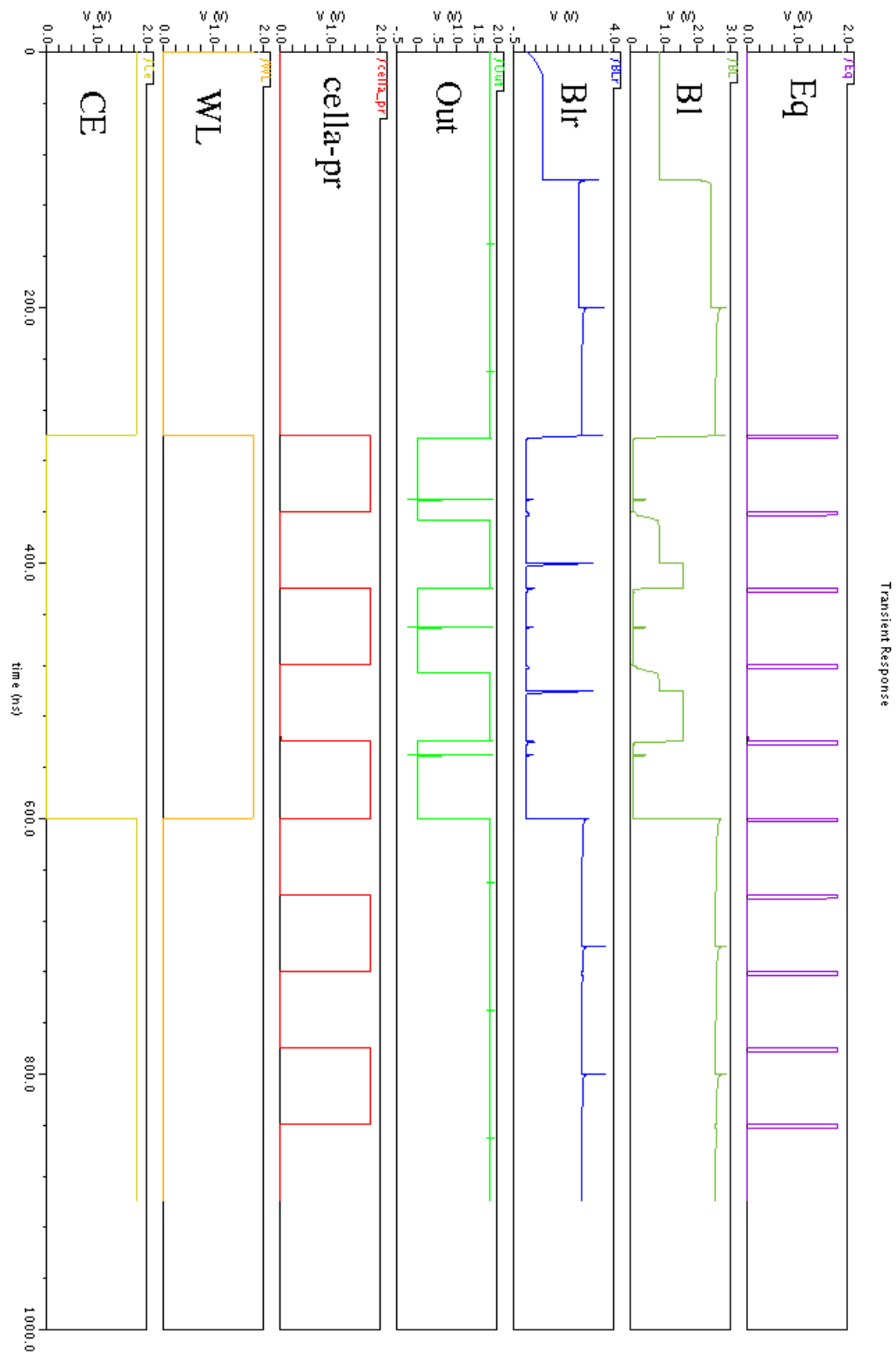


Figura 6.9: Uscita del circuito con due impulsi di corrente ripetuti

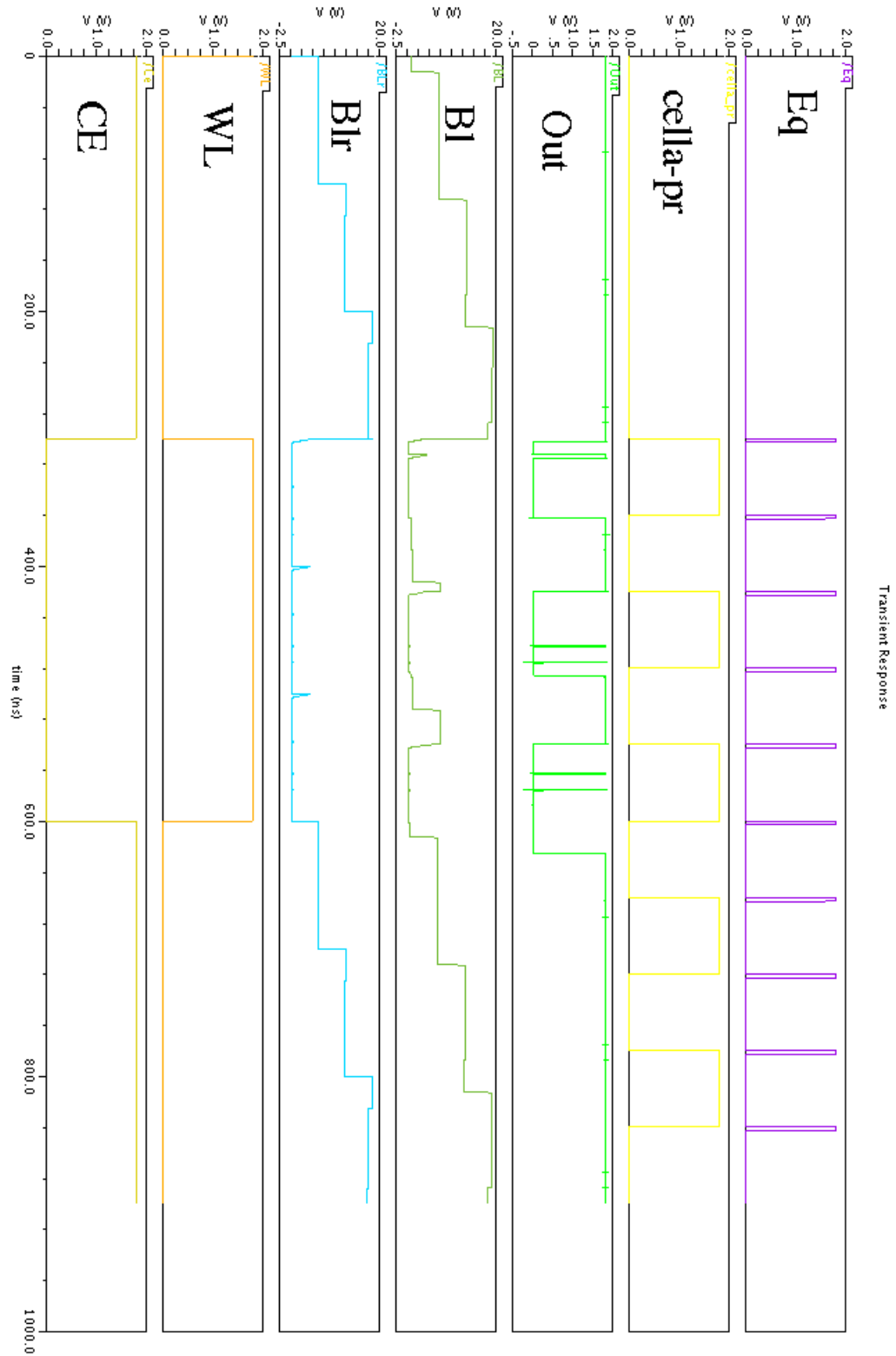


Figura 6.10: Uscita del circuito sottoposto a più impulsi di corrente ripetuti

6. Simulazione degli effetti delle radiazioni sul circuito di sense 79

- I tempi di ritardo di un circuito sottoposto a impulsi di corrente casuali vanno analizzati sia in salita sia in discesa.

I tempi di salita dell'uscita spesso vengono ridotti in quanto gli impulsi caricano le bitline e il nodo di uscita stesso. Ovviamente questo succede se l'impulso cade poco prima del fronte di salita stesso.

I tempi di discesa, in modo analogo, si allungano se un impulso cade in prossimità di un fronte di discesa. In questo caso il segnale di uscita fa più fatica a tornare al valore minimo

- Le tensioni sulle bitline, come si vede dal fondo scala, raggiungono i 20 V a circuito spento e picchi di 7 V a circuito acceso: questi valori sono oltre il limite di rottura dei dispositivi MOS. Durante i calcoli il simulatore inoltre ci avverte che è stata superato il valore di tensione che provoca la perforazione del gate dei transistori, con conseguente guasto del circuito.

6.4.1 Modifiche per le radiazioni

Il circuito in queste condizioni non può essere affidabile, e quindi necessita di ulteriori modifiche per risolvere questi problemi.

1. L'uscita del sense può essere resa più pulita e simile a quella ottenibile senza le radiazioni, usando alcuni condensatori durante la squadratura dell'uscita. Alcune prove hanno portato alla sistemazione illustrata in Figura 6.11, inserendo due capacità da 3 pF.

La Figura 6.12 riporta il risultato delle simulazioni dopo la modifica illustrata in Figura 6.11.

Come si può notare, le brusche oscillazioni spurie del segnale di uscita sono state rimosse, al prezzo di un aumento dei tempi di ritardo, che da 6 ns passano a 7-8 ns.

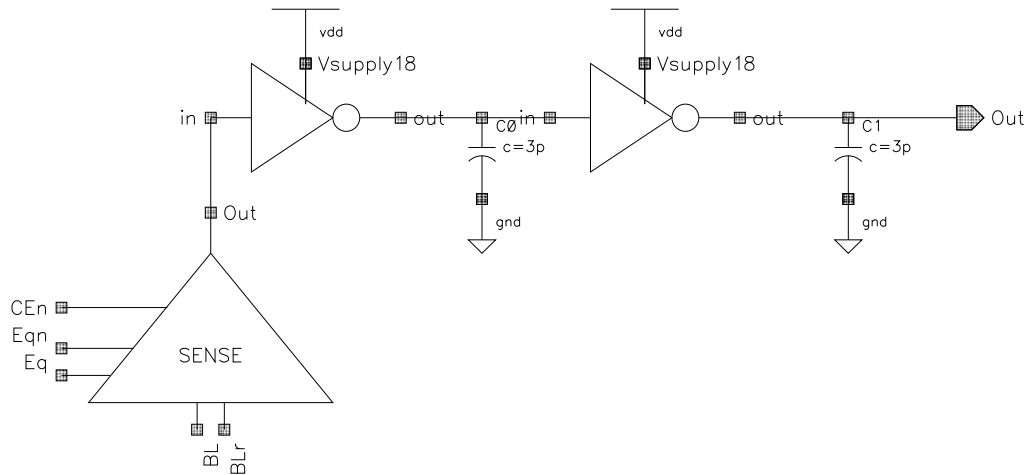


Figura 6.11: Condensatori aggiuntivi sugli inverter di uscita

2. Le forti tensioni sulla bitline e sulla bitline di riferimento sono dovute al guadagno d'anello della sezione di precarica, che amplifica di molto la tensione presente, superando la tensione di riferimento V_{DD} . In nessuna altra parte del circuito la tensione supera mai il valore di riferimento. Si può arginare il fenomeno aumentando il carico capacitivo sulle bitline. La simulazione in Figura 6.12 è stata condotta con 1p F su entrambe le bitline; vediamo cosa succede con aumento intenzionale del carico a 4pF. La Figura 6.13 riporta il risultato della simulazione.

Da 20 V siamo passati a 6 V, con aumento dei tempi di ritardo fino a 17 ns. Possiamo aumentare il carico anche oltre per limitare ulteriormente le tensioni, ma questa non è una soluzione praticabile per diversi motivi.

- In primo luogo l'aumento del carico rallenta considerevolmente il circuito, che già con 5-6 pF sulle bitline non funziona correttamente in presenza di impulsi;

6. Simulazione degli effetti delle radiazioni sul circuito di sense 81

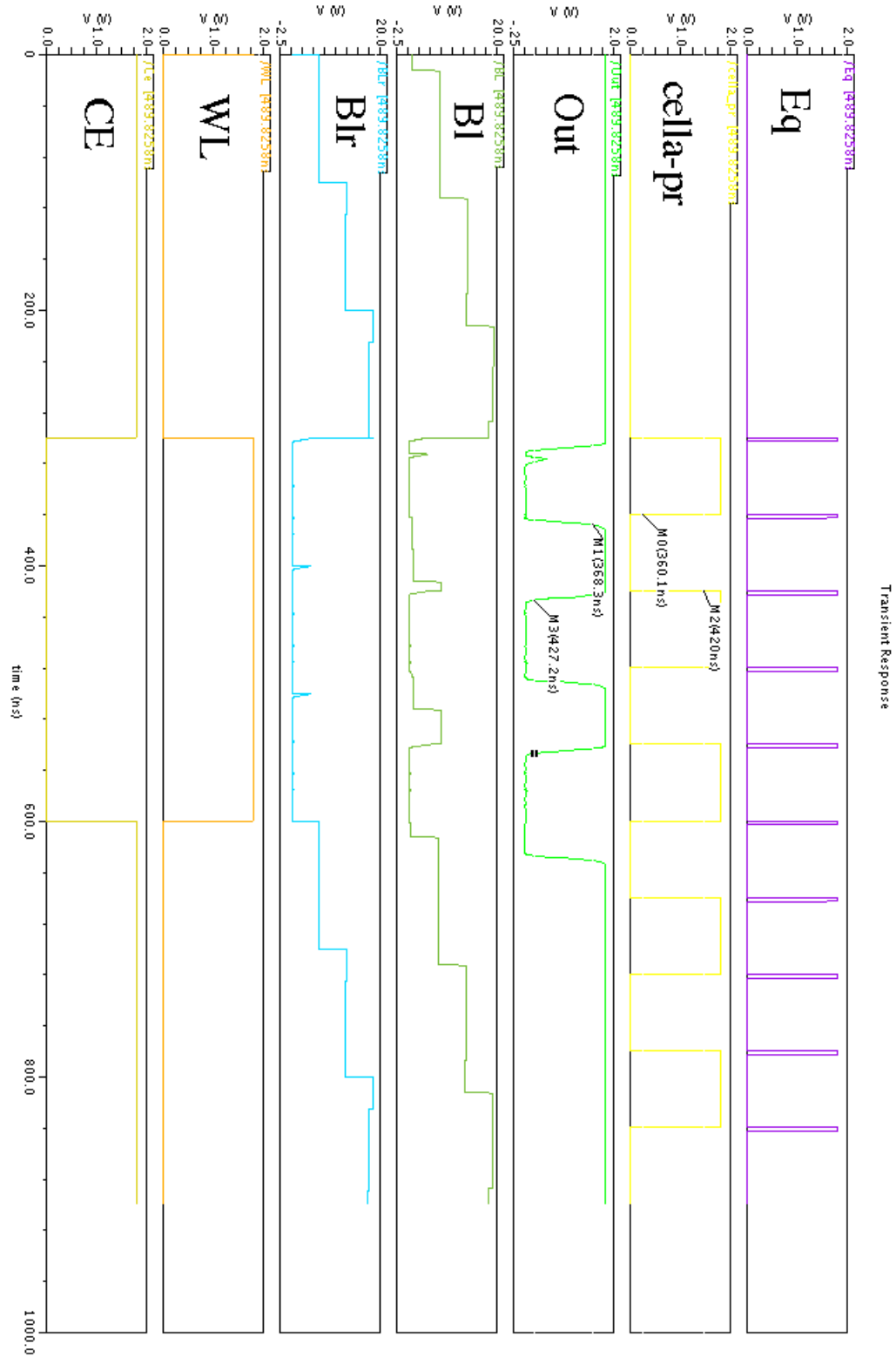


Figura 6.12: Uscita del circuito con impulsi e condensatori aggiuntivi

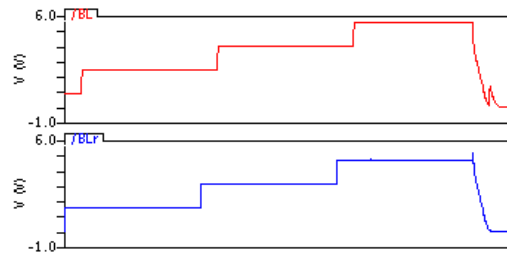


Figura 6.13: Tensioni a circuito spento con 4 pF sulle bitline

- Condensatori con questi valori occupano molta area nel layout del circuito;
 - Infine, la simulazione di esempio è stata condotta con impulsi di ampiezza pari a 100 mA e periodo di 100 ns, ma un sufficiente aumento della frequenza o dell'ampiezza porterebbe la tensione a valori critici, qualunque sia il carico aggiunto. In Tabella 6.1 è riportato il riepilogo delle tensioni di picco in funzione della frequenza degli impulsi.
3. L'unica soluzione possibile è quindi eliminare la sezione di precarica; in questo modo le tensioni interne al circuito saranno funzione dell'ampiezza dell'impulso, ma non della loro frequenza: in pratica, un valore di tensione critico di 6 V verrà raggiunto con impulsi di 500 mA, indipendentemente dalla loro frequenza. Il circuito risultante è illustrato nella Figura 6.14.

Abbiamo mantenuto i transistori che accendono la precarica, pilotandoli con il solo segnale di C_{En} , e la sezione di equalizzazione in quanto contribuiscono a ridurre e bilanciare le tensioni tra i diversi nodi del circuito.

In Tabella 6.2 sono riassunti i risultati della corner analysis suddividendo i risultati in base alla presenza o meno dei condensatori aggiuntivi sull'uscita (C_{out}), e inoltre distinguendo i tempi di salita (R) e discesa (F).

6. Simulazione degli effetti delle radiazioni sul circuito di sense 83

WSS - 1 pF BL - cout=3 pF - t_{EQ} =3 ns						
IMPULSO	Periodo					
	10 ns	25 ns	50 ns	75 ns	100 ns	150 ns
50mA	28 V	23 V	19 V	13 V	10 V	6 V
	10 ns	25 ns	50 ns	75 ns	100 ns	150 ns
75 mA	30 V	26 V	23 V	18 V	14.5 V	9 V
	10 ns	25 ns	50 ns	75 ns	100 ns	150 ns
100 mA	32 V	28 V	26 V	22 V	19 V	7 V
WP- 1 pF BL - cout=3 pF - t_{EQ} =3 ns						
IMPULSO	Periodo					
	10 ns	25 ns	50 ns	75 ns	100 ns	150 ns
50mA	40 V	34 V	20 V	13.5 V	10.5 V	6 V
	10 ns	25 ns	50 ns	75 ns	100 ns	150 ns
75mA	40 V	35 V	28 V	19 V	15 V	9 V
	10ns	25ns	50ns	75ns	100ns	150ns
100 mA	40 V	39 V	35 V	25 V	19.5 V	10 V
WSS - 3 pF BL - cout=3 pF - t_{EQ} =3 ns						
IMPULSO	Periodo					
	10 ns	25 ns	50 ns	75 ns	100 ns	150 ns
50mA	26 V	12.5 V	6.7 V	5 V	3.8 V	
	10 ns	25 ns	50 ns	75 ns	100 ns	150 ns
75 mA	29 V	18 V	9.8 V	7 V	5 V	
	10 ns	25 ns	50 ns	75 ns	100 ns	150 ns
100 mA	30 V	23.5 V	13 V	9 V	7 V	
WP - 3 pF BL - cout=3 pF - t_{EQ} =3 ns						
IMPULSO	Periodo					
	10 ns	25 ns	50 ns	75 ns	100 ns	150 ns
50 mA	31 V	13 V	7 V	5 V	4 V	
	10 ns	25 ns	50 ns	75 ns	100 ns	150 ns
75 mA	38 V	20 V	10.5 V	7.2 V	5.7 V	
	10 ns	25 ns	50 ns	75 ns	100 ns	150 ns
100 mA	39 V	26 V	13.5 V	9 V	7 V	

Tabella 6.1: Tensioni raggiunte in presenza di impulsi

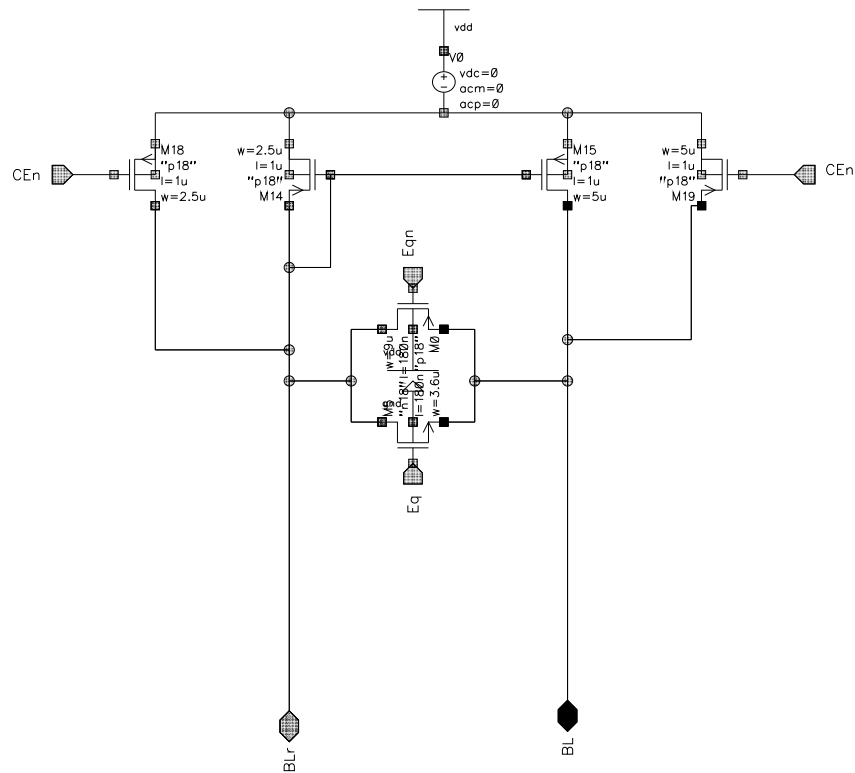


Figura 6.14: Il sense senza precarica

6. Simulazione degli effetti delle radiazioni sul circuito di sense 85

Cout=0 pF			
CASO	CAP		
	1 pF	3 pF	5 pF
Tipico	5 ns (R) - 2 ns (F)	15 ns (R) - 2.5 ns (F)	40 ns (R) - 4 ns (F)
Veloce	3 ns (R) - 1 ns (F)	9 ns (R) - 2 F ns (F)	15 ns (R) - 4 ns (F)
Lento	9 ns (R) - 3 ns (F)	25 ns (R) - 4 F ns (F)	24 ns (R) - 4 ns (F)

Cout=3 pF		
CASO	CAP	
	1pF	3pF
Tipico	14 ns (R) - 8 ns (F)	26 ns (R) - 10 ns (F)
Veloce	8 ns (R) - 5 ns (F)	16 ns (R) - 7 ns (F)
Lento	26 ns (R) - 17 ns (F)	47 ns (R) - 20 ns (F)

Tabella 6.2: Ritardi del circuito senza precarica, in assenza di impulsi

L'unica limitazione del circuito modificato in questo modo sono i tempi di ritardo, circa 40 ns nel caso lento, con carichi capacitivi di 5pF sulle bitline.

6.4.2 Studio del circuito modificato

Iniziamo lo studio del circuito di sensing modificato (Figura 6.14) sottoponendolo a due impulsi singoli di corrente, in modo analogo a quanto fatto con il sense iniziale (Figura 6.6). Applichiamo un picco di corrente sulla bitline di riferimento e uno sulla bitline (che è anche l'uscita).

Non abbiamo inserito i condensatori aggiuntivi sull'uscita per vedere meglio gli effetti degli impulsi: in Figura 6.15 si vede distintamente, infatti, il picco del segnale Bl. In quel momento infatti il drain del pMOS dello specchio di corrente collegato alla bitline è a un valore logico basso (l'uscita è a 0) mentre il substrato è collegato all'alimentazione V_{DD} . Analogamente accade con l'impulso applicato sulla Blr, i cui effetti si ripercuotono molto

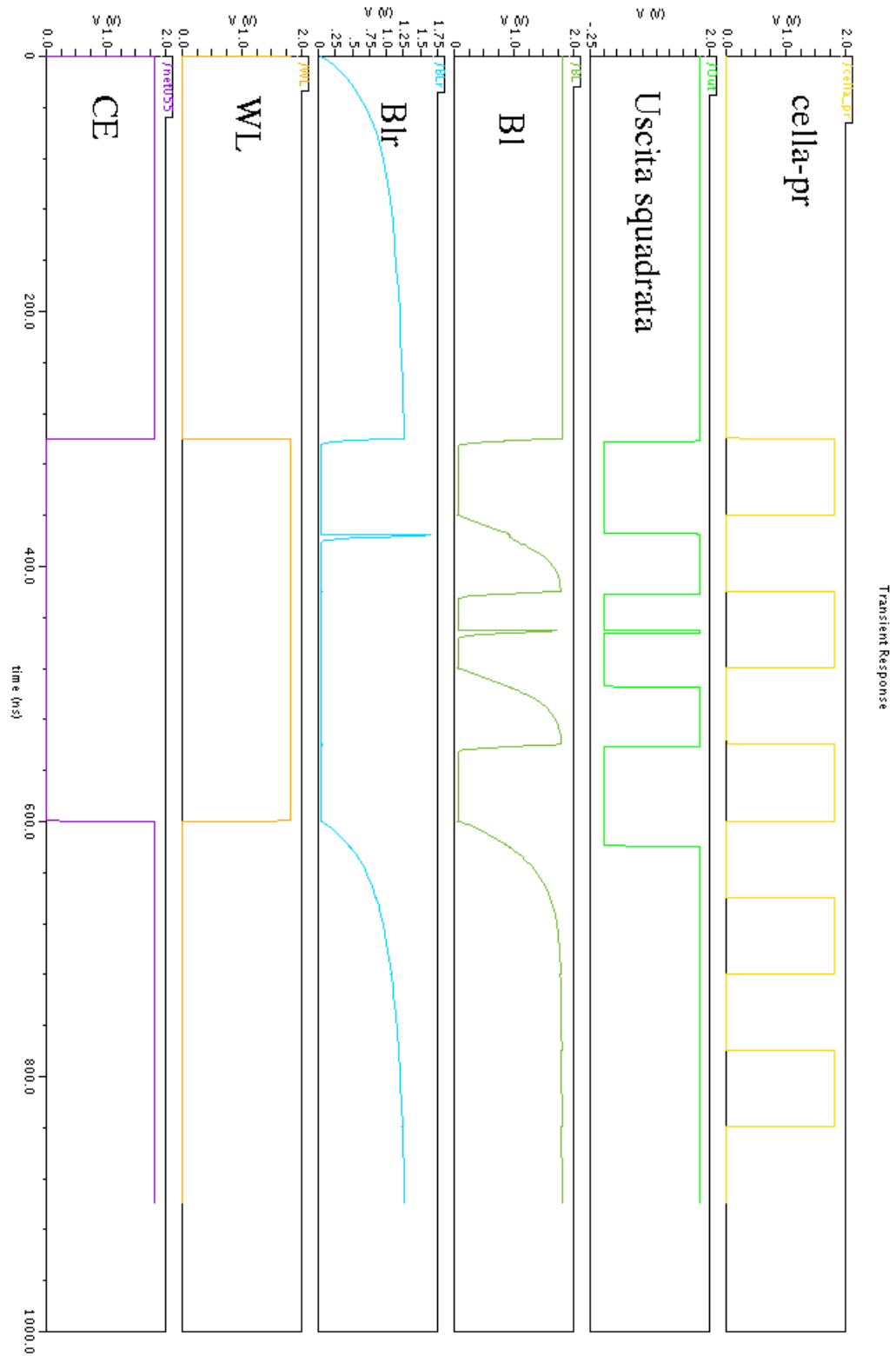


Figura 6.15: Simulazione del circuito di sensing senza precarica sottoposto a due impulsi singoli

6. Simulazione degli effetti delle radiazioni sul circuito di sense 87

leggermente sull'uscita, in quanto la tensione sulla BI sale più lentamente di quanto visto in Figura 6.8.

A questo punto procediamo a un'analisi del circuito applicando impulsi ripetuti alle due bitline. Il risultato è mostrato nella Figura 6.16.

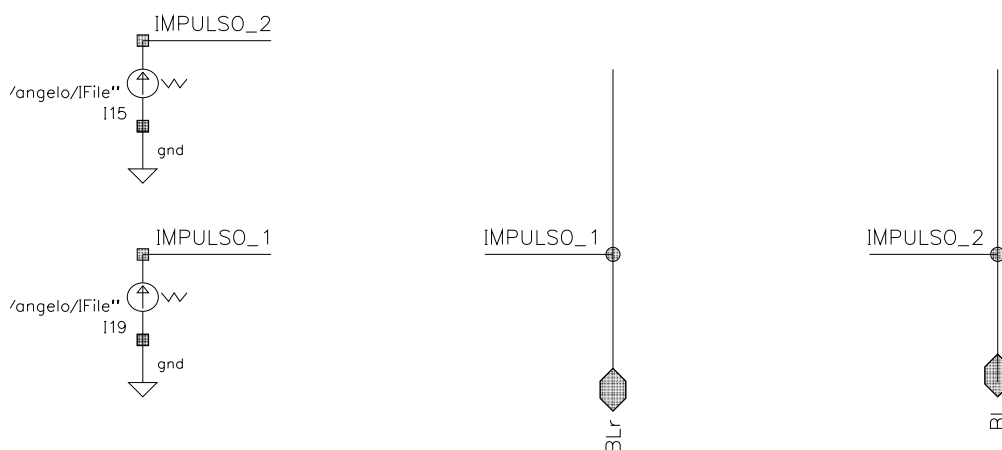


Figura 6.16: Particolare degli impulsi applicati sulle bitline

Il sense senza precarica è meno soggetto a forti aumenti di tensione. Nella Tabella 6.3 vediamo un breve riepilogo delle tensioni raggiunte con gli impulsi di corrente (analisi effettuata in WP).

Con collegamenti a V_{DD}			Senza collegamenti a V_{DD}		
IMPULSO	CAP		IMPULSO	CAP	
	1 pF	3 pF		1 pF	3 pF
500 mA	6 V	5 V	500 mA	12.5 V	8.7 V
750 mA	7 V	6 V	750 mA	13 V	11.5 V
1 A	8 V	7 V	1 A	14 V	13 V

Tabella 6.3: Valori di picco delle tensioni, senza precarica

Una veloce analisi garantisce la corretta lettura dell'uscita con correnti

anche di 500-750 mA con carico capacitivo di 1 pF sulle bitline, mentre con 3 pF la corrente massima con cui l'uscita rimane corretta è di 100 mA: questo sarà il valore massimo di corrente che useremo nelle prossime analisi.

I tempi di ritardo sono invece funzione della frequenza degli impulsi, oltre che della loro ampiezza. Abbiamo detto che gli impulsi aumentano la velocità del fronte di salita e riducono quella del fronte di discesa se cadono in corrispondenza di essi. A basse frequenze di impatto degli impulsi gli effetti sono transitori: ci sarà un rallentamento se l'impulso cade in un momento di oscillazione del segnale, altrimenti non ci si osservano differenze dal funzionamento in assenza di impulsi. Per questo la Tabella 6.4, che riporta i risultati delle simulazioni è incompleta e non riporta i valori uguali al caso senza impulsi.

Si nota che i tempi di salita aumentano al diradarsi degli impulsi, mentre quelli di discesa sono invece minori in presenza di pochi impulsi. Il range di frequenze del caso tipico TYP è in realtà più ampio, arriva fino a un periodo di 3 ns con 50 mA e 8 ns con 100 mA.

In realtà una frequenza di 10MHz per un impulso nello spazio (cioè 100 ns tra l'uno e l'altro) è molto elevata: è molto improbabile che gli impulsi siano così ravvicinati, se il circuito funziona in questi casi, quasi sicuramente non avrà problemi negli altri.

Il consumo di corrente del circuito senza la sezione di precarica è illustrato nella Figura 6.17.

Dalla Figura 6.17 vediamo come il consumo di corrente senza la precarica sia minore, anche se di poco. Il principale fattore che lo influenza, infatti, sono le dimensioni dei transistori.

6. Simulazione degli effetti delle radiazioni sul circuito di sense 89

WSS - 3 pF BL - cout=3 pF				
IMPULSO	PERIODO			
	10 ns	20 ns	25 ns	50 ns
50 mA	17 ns(R)-30 ns(F)	20 ns(R)-23 ns(F)	24 ns(R)-20 ns(F)	
	15 ns	25 ns	50 ns	75 ns
75 mA	11 ns(R)-30 ns(F)	13 ns(R)-25 ns(F)		
	25 ns	50 ns	75 ns	100 ns
100 mA	13 ns(R)-35 ns(F)			
TYP - 3 pF BL - cout=3 pF				
IMPULSO	PERIODO			
	10 ns	20 ns	25 ns	50 ns
50 mA	12 ns(R)-12 ns(F)	14 ns(R)-10 ns(F)	20 ns(R)-9 ns(F)	
	10 ns	20 ns	25 ns	50 ns
75 mA	8 ns(R)-13 ns(F)	8 ns(R)-13 ns(F)	13 ns(R)-10 ns (F)	
	10 ns	20 ns	25 ns	50 ns
100 mA	7 ns(R)-13 ns(F)	10 ns(R)-10 ns(F)		

Tabella 6.4: Ritardi del circuito senza precarica, con impulsi

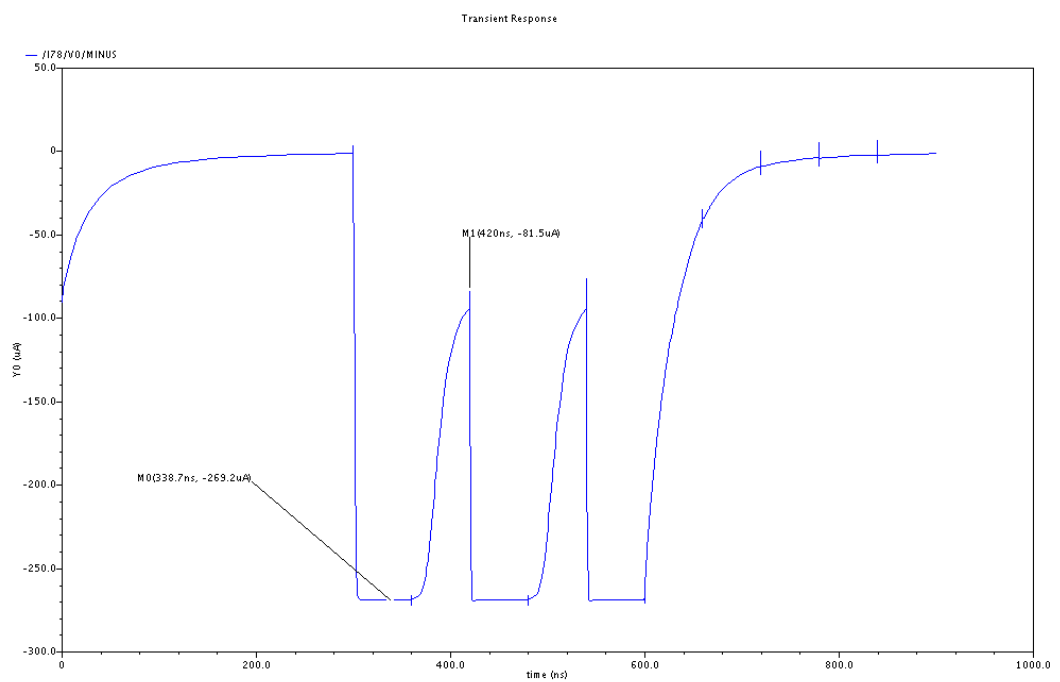


Figura 6.17: Correnti senza la precarica in assenza di impulsi

Conclusioni e sviluppi futuri

Il circuito di sensing ottenuto dopo tutte le modifiche apportate durante il lavoro è con buona sicurezza in grado di sopportare le condizioni operative dello spazio: i suoi limiti si sono rivelati solo simulandone il funzionamento in situazioni molto spinte, così improbabili da essere trascurabili. D'altronde per quanto robusto sia un dispositivo, esisterà sempre una sollecitazione abbastanza forte da comprometterne il funzionamento. Nel nostro caso un bombardamento praticamente costante di ioni ad alta energia renderebbe la memoria inutilizzabile, ma è quasi impossibile che ciò avvenga in modo continuativo.

Riepilogo del lavoro svolto

L'esposizione di questa tesi è iniziata con una serie di capitoli introduttivi necessari a inquadrare al meglio l'argomento:

- per iniziare abbiamo accennato alle radiazioni presenti nello spazio, in modo da dare al lettore l'idea di fondo del nostro lavoro. Conoscerne i loro effetti ci permette di studiarne al meglio le conseguenze e di descriverle come variazioni dei parametri dei transistori. Infine classificare gli errori rende più semplice simularli in modo astratto;
- l'elenco degli elementi parassiti in tecnologia CMOS è importante perché ci dà la misura della non-idealità nel funzionamento dell'elettronica, e questo è particolarmente evidente quando la situazione ambientale è ostile e molto differente da quella terrestre;

- un capitolo è dedicato alla descrizione del circuito di sensing per spiegarne scopo e funzionamento nel resto della memoria; in seguito molte di queste caratteristiche sono state astratte considerando solo ingressi e uscite al circuito di sensing;
- la descrizione delle simulazioni circuitali completa l'introduzione e getta le basi per l'inizio dell'attività di simulazione vera e propria.

La simulazione del circuito è stata suddivisa in due parti:

- la prima occupa il Capitolo 5 e contiene, oltre ad una descrizione preliminare dei segnali da leggere, i risultati ottenuti in condizioni ambientali ostili; a essi fa seguito una serie di modifiche per rendere il circuito più veloce e più piccolo;
- la seconda parte (Capitolo 6) riprende per prima cosa alcuni effetti delle radiazioni sui circuiti integrati, in particolare quelli che ci siamo occupati di inserire o simulare nel circuito di sensing. La simulazione quindi è stata seguita da una serie di modifiche necessarie a garantire il funzionamento del sense anche in caso di radiazioni.

Il sensing originale e quello definitivo

Questa tesi, oltre a una simulazione esaustiva del circuito sotto esame, contiene anche un'evoluzione strutturale del circuito stesso, riconducibile a quanto abbiamo detto nell'introduzione all'inizio di questo elaborato: in particolari ambiti le prestazioni più critiche non sono la velocità o la capienza, ma l'affidabilità e la robustezza.

Succede, infatti, che il sensing diventi sempre meno veloce al susseguirsi delle modifiche: la velocità ottenibile in condizioni ideali non è compatibile con i requisiti di resistenza e di durata del circuito.

- Sono state ridotte le dimensioni dei transistori che assorbivano la maggior parte della corrente: una simile intensità di corrente all'interno del

sensing lo rendeva molto più rapido a caricare e scaricare le capacità parassite e a precaricare le bitline, però lo rendeva inadatto in termini di potenza dissipata.

- L'eliminazione di una sottosezione di equalizzazione fa risparmiare spazio sul chip, ma in questo modo l'altro blocco di equalizzazione necessita di un tempo leggermente superiore.
- L'aggiunta di condensatori rende l'uscita meno sensibile alle radiazioni, a fronte ovviamente di un aumento significativo dei tempi di ritardo.
- L'eliminazione della precarica rende il sensing particolarmente lento, riducendo per contro di molto le probabilità di rottura del circuito.

Sviluppi futuri

La resistenza alle radiazioni è stata verificata nel modo più esauriente possibile, ma non è completa, in quanto non considera alcuni degli effetti singoli (come SEU e SES dovuti al guadagno di retroazione dei transistori parassiti) e gli effetti cumulativi dovuti alla prolungata esposizione alle radiazioni, tra cui la variazione della tensione di soglia e la diminuzione della conduttanza.

Per garantire al meglio il funzionamento nello spazio bisognerà prevedere in modo più esatto sul lungo tempo queste conseguenze sui parametri dei transistori e avere la sicurezza che siano sotto un livello critico per un periodo sufficiente.

Infine bisognerà scegliere una tecnologia di fabbricazione, disegnare un layout ottimale e per ultimo testare il chip irraggiandolo con delle radiazioni, controllando che la risposta sia congruente con i risultati delle simulazioni.

Elenco delle figure

1.1	La fascia di Van Allen	3
1.2	I brillamenti solari	4
1.3	Incremento della corrente di sotto-soglia in un transistor nMOS	7
1.4	Zona a becco d'uccello e transistori parassiti	8
1.5	Transistore EEPROM	10
1.6	Iniezione di elettroni caldi	11
1.7	Cella programmabile con il tunnel di Fowler-Nordheim	12
1.8	Array NOR di celle di una memoria EPROM	13
1.9	Array NOR di celle di una memoria EEPROM	13
1.10	Array NAND di celle di una memoria	14
1.11	Memoria e circuiti periferici	15
2.1	Resistenza di una linea di interconnessione	18
2.2	Capacità di un'interconnessione su un piano di massa	18
2.3	Capacità tra più interconnessioni	19
2.4	Resistenza equivalente del transistor MOS	19
2.5	Capacità di gate	20
2.6	Induttanza parassita	21
2.7	Rete RC distribuita	21
2.8	Tempi di ritardo in uscita da un inverter	23
2.9	Porta logica NOR	25
3.1	Esempio di conduttività in zone diverse	28

3.2	Schema a blocchi che evidenzia la posizione relativa e le interconnessioni del circuito di sensing	30
3.3	Il sense	31
3.4	Il comparatore di corrente	32
4.1	Densità di probabilità al variare della conduttanza dei transistori	37
5.1	Schema circuitale dell'ambiente di simulazione	43
5.2	Segnale CE	44
5.3	Segnale WL	45
5.4	Segnale cella-pr	45
5.5	Segnale Eq	46
5.6	Forme d'onda d'esempio	47
5.7	Particolare della Figura 5.6	48
5.8	Correnti nelle BL	48
5.9	Particolare dell'uscita squadrata nel caso tipico	49
5.10	Particolare dei tempi di ritardo	50
5.11	Particolare del primo intervallo: tensioni a circuito spento . .	50
5.12	Correnti a circuito acceso nell'intervallo temporale centrale . .	51
5.13	Correnti a circuito spento nel primo intervallo temporale . . .	51
5.14	Simulazione del corner 3	53
5.15	Caso lento ($C = 5\text{pF}$)	55
5.16	Segnale cella-pr con tre periodi di lettura	56
5.17	Segnale cella-pr con cinque periodi di lettura	57
5.18	Segnale Eq con cinque periodi di lettura	58
5.19	Segnali con cinque commutazioni di lettura	58
5.20	Correnti a circuito acceso nell'intervallo temporale centrale . .	60
5.21	Particolare del circuito di sense	60
5.22	Correnti nel circuito con i transistori ridimensionati	61
5.23	Circuito modificato	62
6.1	Generazione di carica	66
6.2	Corrente causata dal fenomeno di generazione di carica	67

6.3	Evento singolo in un inverter di una cella di memoria SRAM .	69
6.4	Single Event Latch-up in un inverter	71
6.5	Circuito per la simulazione di fault injection	73
6.6	Posizionamento degli impulsi	74
6.7	Particolare dell'impulso singolo di corrente	75
6.8	Simulazione del circuito sottoposto ai due impulsi di corrente .	76
6.9	Uscita del circuito con due impulsi di corrente ripetuti	77
6.10	Uscita del circuito sottoposto a più impulsi di corrente ripetuti	78
6.11	Condensatori aggiuntivi sugli inverter di uscita	80
6.12	Uscita del circuito con impulsi e condensatori aggiuntivi . . .	81
6.13	Tensioni a circuito spento con 4 pF sulle bitline	82
6.14	Il sense senza precarica	84
6.15	Simulazione del circuito di sensing senza precarica sottoposto a due impulsi singoli	86
6.16	Particolare degli impulsi applicati sulle bitline	87
6.17	Correnti senza la precarica in assenza di impulsi	90

Elenco delle tabelle

4.1	Esempi di worst case	38
5.1	Ritardo al variare dei worst case	52
5.2	Ritardo al variare della capacità	54
5.3	Ritardo al variare di capacità e tempo di equalizzazione	57
5.4	Ritardi del circuito modificato	63
6.1	Tensioni raggiunte in presenza di impulsi	83
6.2	Ritardi del circuito senza precarica, in assenza di impulsi . . .	85
6.3	Valori di picco delle tensioni, senza precarica	88
6.4	Ritardi del circuito senza precarica, con impulsi	89

Bibliografia

- [Stabile, 2006] A. Stabile, "*Memorie non volatili per applicazioni aerospaziali*" 2006
- [Liberali, 2006] V. Liberali, "*Elementi parassiti in tecnologia CMOS*" 2006
- [Abo, 1993] A. Abo and S. Mehta, "*A compact current-mode full adder*" 1993
- [Allenspach, 1994] M. Allenspach, J. R. Brews, I. Mouret et al., "*Evaluation of SEGR threshold in power MOSFETs*" 1994
- [Allen, 2002] P. E. Allen and D. R. Holberg, "*CMOS Analog Circuit Design*" 2002
- [Anelli, 2000] G. M. Anelli, "*Conception et caracterisation des circuits intégrés résistants aux radiations pour le détecteur de particules du LHC en technologies CMOS submicroniques profondes*" 2000
- [Beaucour, 1995] J. Beaucour, "*Effets des rayonnements sur les composants électroniques: aspects fondamentaux*" 1995
- [Calligaro, 1996] C. Calligaro, "*Memorie non-volatili multilivello a semiconduttore*" 1996
- [Gaillard, 1995] R. Gaillard, J.-L. Leray, O. Musseau et al., "*Techniques de durcissement des composant, circuits, et systèmes électroniques*" 1995
- [Holbert, 2006] K. E. Holbert, "*Single event effects*" 2006

- [Johnston, 1996] A. H. Johnston, *"The influence of VLSI technology evolution on radiation-induced latchup in space systems"* 1996
- [Sexton, 1985] F. W. Sexton and J. R. Schwank, *"Correlation of radiation effects in transistors and integrated circuits"* 1985
- [Wheatley, 1994] C. F. Wheatley, J. L. Titus and D. I. Burton, *"Single event gate rupture in vertical power MOSFETs, an original empirical expression"* 1994
- [Beitman, 1988] B. A. Beitman, *"N-channel MOSFET breakdown characteristics and modelling for p-well technologies"* 1988
- [Dufour, 1992] C. Dufour, P. Garnier, T. Carrière and J. Beaucour, *"Heavy ion induced single hard error on submicronic memories"* 1992
- [Weste; Eshraghian, 1993] Neil H. E. Weste, Kamran Eshraghian, *"Principles of CMOS VLSI design: a systems perspective"* 1993

Ringraziamenti

Ringrazio tutti i miei amici e tutte le persone che mi hanno aiutato a completare questa tesi, in particolare:

- il Dott. Alberto Stabile, che mi ha aiutato passo per passo nell'apprendere le nozioni necessarie al mio lavoro, mi ha insegnato ad usare gli strumenti di simulazione ed è stato sempre disponibile per qualunque chiarimento.
- Il Prof. Valentino Liberali, che mi ha trasmesso l'interesse per l'elettronica ed è stato sempre chiaro sia durante i corsi che durante la tesi.
- Il Dott. Giorgio Boselli e Luisa Manfredi, per avermi aiutato in alcune situazioni ed aver rallegrato l'ambiente di lavoro, rendendo più piacevole lo stage di laurea.